

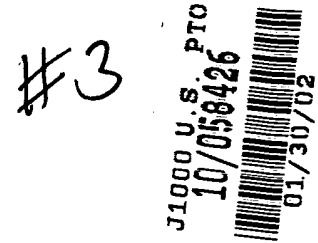
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Daisuke KOMADA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **January 30, 2002**

For: **METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE HAVING  
SILICON CARBIDE FILM**



**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

January 30, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-312883, filed October 10, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP

A handwritten signature in black ink, appearing to read "Ken-Ichi Hattori".

Ken-Ichi Hattori  
Reg. No. 32,861

Atty. Docket No.: 020060  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
KH/ll

日本国特許庁 #3  
JAPAN PATENT OFFICE

J1000 U.S. PTO  
10/058426



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年10月10日

出願番号

Application Number:

特願2001-312883

出願人

Applicant(s):

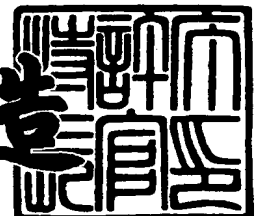
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年12月21日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3110541

【書類名】 特許願

【整理番号】 0140907

【提出日】 平成13年10月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 号 富士通  
ヴィエルエスアイ株式会社内

【氏名】 駒田 大輔

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 号 富士通  
ヴィエルエスアイ株式会社内

【氏名】 各務 克巳

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【包括委任状番号】 9708188

【包括委任状番号】 0109608

【プールの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、シリコンカーバイドとはエッチング耐性の異なる材料からなる第 1 の膜を形成する工程と、

前記第 1 の膜の上に、水素を含有するシリコンカーバイドからなる第 2 の膜を形成する工程と、

前記第 2 の膜の上に、開口を有するレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$  及び  $\text{NF}_3$  の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第 2 の膜をドライエッチングする工程と、

前記第 2 の膜をマスクとして、前記第 1 の膜をエッチングする工程とを有する半導体装置の製造方法。

【請求項 2】 絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第 1 の膜を形成する工程と、

前記第 1 の膜の上に、絶縁材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜の上に、開口を有するレジスト膜を形成する工程と、

前記レジスト膜をマスクとして、前記第 2 の膜をエッチングして凹部を形成し、該凹部の底面に前記第 1 の膜の一部を露出させる工程と、

前記レジスト膜をアッシングして除去する工程と、

フロロカーボンガスに、 $\text{SF}_6$  及び  $\text{NF}_3$  の少なくとも一方のガスを加えた混合ガスを用い、前記凹部の底面に露出した第 1 の膜をドライエッチングして、前記基板の導電性領域を露出させる工程と、

前記凹部内に、導電性部材を埋め込む工程とを有する半導体装置の製造方法。

【請求項 3】 前記基板の表面に露出していた導電性領域が銅配線である請求項 2 に記載の半導体装置の製造方法。

【請求項4】 前記第2の膜が、シリコン酸化膜、フอสフォシリケートガラスからなる膜、ボロフอสフォシリケートガラスからなる膜、フルオロシリケートガラスからなる膜、水素シルセスキオキサンからなる膜、テトラエチルオルソシリケートを用いて堆積した膜、スピノングラスにより形成した膜、カーボン含有シリコン酸化膜、シリコンを含む発泡性多孔質膜、及び有機材料からなる絶縁膜からなる群より選択された一つの膜である請求項2または3に記載の半導体装置の製造方法。

【請求項5】 前記第1の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を0.2～0.6として、化学気相成長により前記第1の膜を形成する請求項2乃至4のいずれかに記載の半導体装置の製造方法。

【請求項6】 絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、

前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、

前記第2の膜の上に、水素を含有するシリコンカーバイドからなる第3の膜を形成する工程と、

前記第3の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に開口を有するレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングする工程と、

前記第1の膜のエッチング速度よりも前記第2の膜のエッチング速度の方が速くなる条件で、前記レジスト膜をマスクとして前記第2の膜をエッチングして凹部を形成し、該凹部の底面に前記第1の膜の一部を露出させる工程と、

前記レジスト膜をアッシングして除去する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合

ガスを用い、前記凹部の底面に露出した第1の膜をドライエッチングして、前記基板の導電性部材を露出させる工程と  
を有する半導体装置の製造方法。

【請求項7】 前記第1の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を0.2～0.6として、化学気相成長により前記第1の膜を形成する請求項6に記載の半導体装置の製造方法。

【請求項8】 絶縁性の表面の一部に、配線が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、

前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、

前記第2の膜の上に、水素を含有するシリコンカーバイドからなる第3の膜を形成する工程と、

前記第3の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に第1の開口を有する第1のレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングし、前記第2の膜の表面の一部を露出させる工程と、

前記第1のレジスト膜を除去する工程と、

エッチングされた前記第3の膜、及び露出した前記第2の膜の表面上に、前記第1の開口に内包され、前記配線と部分的に重なる位置に第2の開口が形成された第2のレジスト膜を形成する工程と、

前記第2のレジスト膜をマスクとして、前記第2の膜を、少なくとも深さ方向の途中までエッチングする工程と、

前記第2のレジスト膜を除去する工程と、

部分的にエッチングされた前記第3の膜をマスクとして、前記第2の膜をエッ

チングし、前記第 2 の開口が形成されていた領域においては、前記第 1 の膜まで達するビアホールを形成し、前記第 1 の開口内で、かつ前記第 2 の開口外の領域においては、前記第 2 の膜の深さ方向の途中まで達する配線溝を形成する工程と

フロロカーボンガスに、 $\text{SF}_6$  及び  $\text{NF}_3$  の少なくとも一方のガスを加えた混合ガスを用い、前記ビアホールの底面に露出した第 1 の膜をドライエッチングして、前記配線を露出させる工程と、

前記ビアホール及び前記配線溝内を、導電性部材で埋め込む工程とを有する半導体装置の製造方法。

【請求項 9】 前記第 1 の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を 0.2～0.6 として、化学気相成長により前記第 1 の膜を形成する請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 半導体基板の表面上に、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を 0.2～0.6 として、化学気相成長によりシリコンカーバイドからなる第 1 の膜を形成する工程と、

前記第 1 の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜の上に、開口を有するレジスト膜を形成する工程と、

前記第 2 の膜のエッチング速度が、前記第 1 の膜のエッチング速度よりも速くなる条件で、前記レジスト膜をマスクとして、前記第 2 の膜をエッチングし、前記第 1 の膜の一部を露出させる工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に水素を含むシリコンカーバイドの膜をハードマスクまたはエッチングストッパ膜として用いたエッチング工程を



有する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来の配線層の形成方法について、簡単に説明する。まず、半導体基板上の層間絶縁膜の上に、アルミニウム (A l) 膜やタングステン (W) 膜を堆積し、この膜をパターンニングして配線を形成する。配線の側壁上の堆積物をアルカリ薬液等で除去する。その後、配線を覆う層間絶縁膜をプラズマ励起型化学気相成長等で堆積する。

【 0 0 0 3 】

近年の半導体集積回路装置の高集積化に伴い、配線の微細化が進んできた。配線の微細化により、配線間の寄生容量増加が顕著になり、半導体集積回路の動作速度に影響が出始めた。配線間の寄生容量を低減するために、層間絶縁膜を低誘電率材料で形成する技術や、配線を電気抵抗の低い銅 (C u) で形成する技術が採用されるようになった。低誘電率の層間絶縁膜材料として、フロロシリケートガラス (F S G)、水素シルセスキオキサン (H S Q)、アライドシグナル社の F L A R E、ダウケミカル社の S i L K 等が知られている。

【 0 0 0 4 】

層間絶縁膜の一部に、C u の拡散を防止するバリア膜、エッチングストッパ膜、及びキャップ膜として機能するシリコン窒化膜 (S i N 膜) が使用されている。S i N は、S i O<sub>2</sub> に比べて誘電率が高いため、層間絶縁膜の低誘電率化の妨げになっている。S i N に代わる材料として、シリコンカーバイド (S i C) が注目されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

S i N の代わりに S i C を用いると、層間絶縁膜の低誘電率化を図ることが可能であるが、S i C 膜は S i N 膜よりもエッチングが困難である。S i - H 結合または S i - C 結合を含む S i C 膜は、エッチング中に脱離した水素がエッチングを妨げる作用をするため、特にエッチングが困難である。

【 0 0 0 6 】

層間絶縁膜として有機絶縁材料を用いるダマシン法で配線を形成する場合、従来、ハードマスクとしてSiNが用いられていた。このSiNをSiCに置き換えた場合、ハードマスクの下の有機絶縁膜をエッチングした後に、ハードマスクを除去することが困難になる。

## 【0007】

本発明の目的は、エッチングストップ膜やハードマスクの材料としてSiCを用いた場合に、このエッチングストップ膜やハードマスクを容易に除去することが可能なエッチング方法を用いた半導体装置の製造方法を提供することである。

## 【0008】

## 【課題を解決するための手段】

本発明の一観点によると、半導体基板上に、シリコンカーバイドとはエッチング耐性の異なる材料からなる第1の膜を形成する工程と、前記第1の膜の上に、水素を含有するシリコンカーバイドからなる第2の膜を形成する工程と、前記第2の膜の上に、開口を有するレジスト膜を形成する工程と、フロロカーボンガスに、SF<sub>6</sub>及びNF<sub>3</sub>の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第2の膜をドライエッチングする工程と、前記第2の膜をマスクとして、前記第1の膜をエッチングする工程とを有する半導体装置の製造方法が提供される。

## 【0009】

本発明の他の観点によると、絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、前記第1の膜の上に、絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、開口を有するレジスト膜を形成する工程と、前記レジスト膜をマスクとして、前記第2の膜をエッチングして凹部を形成し、該凹部の底面に前記第1の膜の一部を露出させる工程と、前記レジスト膜をアッシングして除去する工程と、フロロカーボンガスに、SF<sub>6</sub>及びNF<sub>3</sub>の少なくとも一方のガスを加えた混合ガスを用い、前記凹部の底面に露出した第1の膜をドライエッチングして、前記基板の導電性領域を露出させる工程と、前記凹部内に、導電性部材を埋め込む工程とを有する半導体装置の製造方法が

提供される。

【0010】

本発明の他の観点によると、絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、水素を含有するシリコンカーバイドからなる第3の膜を形成する工程と、前記第3の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に開口を有するレジスト膜を形成する工程と、フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングする工程と、前記第1の膜のエッチング速度よりも前記第2の膜のエッチング速度の方が速くなる条件で、前記レジスト膜をマスクとして前記第2の膜をエッチングして凹部を形成し、該凹部の底面に前記第1の膜の一部を露出させる工程と、前記レジスト膜をアッシングして除去する工程と、フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記凹部の底面に露出した第1の膜をドライエッチングして、前記基板の導電性部材を露出させる工程とを有する半導体装置の製造方法が提供される。

【0011】

本発明の他の観点によると、絶縁性の表面の一部に、配線が露出した基板を準備する工程と、前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、水素を含有するシリコンカーバイドからなる第3の膜を形成する工程と、前記第3の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に第1の開口を有する第1のレジスト膜を形成する工程と、フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングし、前記第2の膜の表面の一部を露出させる工程と、前記第1のレジスト膜を除去

する工程と、エッチングされた前記第3の膜、及び露出した前記第2の膜の表面上に、前記第1の開口に内包され、前記配線と部分的に重なる位置に第2の開口が形成された第2のレジスト膜を形成する工程と、前記第2のレジスト膜をマスクとして、前記第2の膜を、少なくとも深さ方向の途中までエッチングする工程と、前記第2のレジスト膜を除去する工程と、部分的にエッチングされた前記第3の膜をマスクとして、前記第2の膜をエッチングし、前記第2の開口が形成されていた領域においては、前記第1の膜まで達するビアホールを形成し、前記第1の開口内で、かつ前記第2の開口外の領域においては、前記第2の膜の深さ方向の途中まで達する配線溝を形成する工程と、フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記ビアホールの底面に露出した第1の膜をドライエッチングして、前記配線を露出させる工程と、前記ビアホール及び前記配線溝内を、導電性部材で埋め込む工程とを有する半導体装置の製造方法が提供される。

## 【0012】

エッチングガスとして、フロロカーボンガスに、 $\text{SF}_6$ または $\text{NF}_3$ を加えた混合ガスを用いると、水素を含むシリコンカーバイドからなる膜を、選択的にエッチングすることができる。

## 【0013】

本発明の他の観点によると、半導体基板の表面上に、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を0.2～0.6として、化学気相成長によりシリコンカーバイドからなる第1の膜を形成する工程と、前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、前記第2の膜の上に、開口を有するレジスト膜を形成する工程と、前記第2の膜のエッチング速度が、前記第1の膜のエッチング速度よりも速くなる条件で、前記レジスト膜をマスクとして、前記第2の膜をエッチングし、前記第1の膜の一部を露出させる工程とを有する半導体装置の製造方法が提供される。

## 【0014】

上記条件で堆積したシリコンカーバイド膜は、 $\text{SiO}$ 系のエッチング条件下で

のエッチング速度が遅いため、エッチングストッパとして用いることができる。

【0015】

【発明の実施の形態】

図1を参照して、本発明の第1の実施例による半導体装置の製造方法について説明する。

【0016】

図1(A)に示すように、半導体基板上に配置された層間絶縁膜1の表層部に形成された溝内に、銅配線2が埋め込まれている。銅配線2は、ダマシン法により形成される。層間絶縁膜1及び銅配線2の上に、SiCからなる厚さ50nmのエッチングストッパ膜3を形成する。エッチングストッパ膜3は、原料ガスとしてテトラメチルシラン( $\text{Si}(\text{CH}_3)_4$ )とアンモニア( $\text{NH}_3$ )と窒素( $\text{N}_2$ )との混合ガスを用いたCVDにより形成することができる。この方法で形成されたSiC膜には、Si-H結合やC-H結合が含まれる。

【0017】

エッチングストッパ膜3の上に、ダウケミカル社製のSiLKからなる厚さ500nmの層間絶縁膜4を形成する。層間絶縁膜4の上に、SiCからなる厚さ100nmのハードマスク5を形成する。ハードマスク5は、エッチングストッパ膜3の形成と同様の方法で形成される。ハードマスク5の上に、レジスト膜6を塗布し、基板表面の法線に平行な視線で見たとき、配線2と部分的に重なる位置に開口6Aを形成する。

【0018】

図1(B)に示すように、レジスト膜6をマスクとして、ハードマスク5をドライエッチングし、ハードマスク5に開口5Aを形成する。

【0019】

図2に、ハードマスク5のエッチングに用いられる反応性イオンエッチング(RIE)装置の概略図を示す。チャンバ100内に、下部電極101及び上部電極102が、相互にほぼ平行に配置されている。ガス導入口109からチャンバ100内にエッチングガスが導入され、未反応のエッチングガスや反応生成物が、排気口103を通して排出される。ソース電源106が、インピーダンスマッ

チング回路107を通して上部電極102に、周波数27MHzの高周波電圧を印加する。バイアス電源104が、インピーダンスマッチング回路105を通して下部電極101に、周波数800kHzの高周波電圧を印加する。下部電極101の上に、処理すべき基板110が保持される。

#### 【0020】

次に、ハードマスク5のエッチング条件について説明する。使用したエッチングガスは、 $\text{CHF}_3$ 、 $\text{NF}_3$ 、Ar、及び $\text{O}_2$ の混合ガスであり、それらのガス流量は、それぞれ20sccm、10sccm、200sccm、及び5sccmである。チャンバ100内の圧力は6.65Pa (50mTorr)、上部電極102に供給されるソースパワーは2000W、下部電極101に供給されるバイアスパワーは1400W、下部電極101の温度は20℃である。

#### 【0021】

この条件で、ハードマスク5を貫通する開口5Aを形成することができた。開口5Aを形成した後、レジスト膜6を除去する。ハードマスク5をマスクとして、層間絶縁膜4をエッチングし、さらにエッチングストッパ膜3をエッチングして、ビアホールを形成する。

#### 【0022】

図1(C)に、比較のために、 $\text{NF}_3$ を含まないエッチングガスを用いてハードマスク5のエッチングを行ったときの断面図を概略的に示す。使用したエッチングガスは、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、Ar、及び $\text{O}_2$ であり、これらのガス流量は、それぞれ20sccm、30sccm、200sccm、及び8sccmである。チャンバ100内の圧力は5.3Pa (40mTorr)、上部電極102に供給されるソースパワーは2500W、下部電極101に供給されるバイアスパワーは1500W、下部電極101の温度は20℃である。

#### 【0023】

この条件では、レジスト膜のエッチング速度に対するSiC膜のエッチング速度の比(エッチング選択比)が小さい。このため、開口がハードマスク5を貫通する前にレジスト膜6がエッチングされてしまい、ハードマスク5に開口を形成することができなかった。

## 【0024】

一般に、 $\text{CF}_4$ は、エッチングを進め、 $\text{CHF}_3$ は、レジスト膜に対するエッチングすべき膜のエッチング選択比を高める働きをする。 $\text{SiN}$ 膜をエッチングする場合には、このエッチングガスで十分なエッチング選択比を確保することができるが、水素を含有する $\text{SiC}$ 膜をエッチングする場合には、十分なエッチング選択比が得られないことが分かる。

## 【0025】

上述のように、エッチングガスに $\text{NF}_3$ を添加することにより、十分なエッチング選択比を確保し、水素を含有する $\text{SiC}$ 膜をエッチングすることが可能になる。エッチングガス中に添加された $\text{Ar}$ は、イオンアシストを行うためのものである。 $\text{O}_2$ は、エッチングの抜け性を高める働きをする。

## 【0026】

次に、図3及び図4を参照して、本発明の第2の実施例による半導体装置の製造方法について説明する。

## 【0027】

図3(A)に示すように、半導体基板上に配置された層間絶縁膜11の表層部に形成された溝内に、銅配線12が埋め込まれている。銅配線12は、ダマシン法により形成される。層間絶縁膜11及び銅配線12の上に、 $\text{SiC}$ からなる厚さ50nmのエッチングストッパ膜13を形成する。エッチングストッパ膜13は、図1に示した第1の実施例のエッチングストッパ膜3の形成と同様の方法で形成される。

## 【0028】

エッチングストッパ膜13の上に、プラズマ励起型化学気相成長により、 $\text{SiO}_2$ からなる厚さ1000nmの層間絶縁膜14を形成する。層間絶縁膜14の上に、プラズマ励起型化学気相成長により、 $\text{SiN}$ からなる厚さ50nmの反射防止膜15を形成する。反射防止膜15の上に、レジスト膜16を塗布し、基板表面の法線に平行な視線で見たとき、配線12と部分的に重なる位置に開口16Aを形成する。

## 【0029】

図3 (B) に示すように、レジスト膜16をマスクとし、反射防止膜15を、例えば $\text{CHF}_3$ と $\text{O}_2$ との混合ガスを用いてドライエッチングする。さらに、層間絶縁膜14を、図2に示したRIE装置を用いてエッチングする。使用するエッチングガスは、例えば $\text{C}_4\text{F}_8$ 、 $\text{C}_5\text{F}_8$ 、 $\text{Ar}$ 、 $\text{CO}$ 、及び $\text{O}_2$ の混合ガスである。このエッチング条件の下で、層間絶縁膜14のエッチング速度に対するエッチングストッパ膜13のエッチング速度の比（エッチング選択比）が高いため、エッチングストッパ膜13が露出した時点でエッチングをほぼ停止させることができる。底面にエッチングストッパ膜13の一部が露出したビアホール14Aが形成される。

## 【0030】

図3 (C) に示すように、レジスト膜16をアッシングして除去する。このとき、配線12の表面がエッチングストッパ膜13で覆われているため、配線12の表面の酸化を防止することができる。

## 【0031】

図4 (D) に示すように、ビアホール14Aの底面に露出しているエッチングストッパ膜13を、図2に示したRIE装置を用いてドライエッチングする。使用したエッチングガスは、 $\text{CHF}_3$ 、 $\text{NF}_3$ 、 $\text{Ar}$ 、及び $\text{O}_2$ の混合ガスであり、それらのガス流量は、それぞれ30sccm、10sccm、200sccm、及び8sccmである。チャンバ100内の圧力は6.65Pa (50mTorr)、上部電極102に供給されるソースパワーは2000W、下部電極101に供給されるバイアスパワーは1500W、下部電極101の温度は20℃である。

## 【0032】

ビアホール14Aの底面に、配線12の一部が露出する。この条件でエッチングを行うと、層間絶縁膜14の表面上に形成されていたSiNからなる反射防止膜15もエッチングされ、層間絶縁膜14の上面が露出する。

## 【0033】

第2の実施例では、第1の実施例の場合と同様に、 $\text{CHF}_3$ に $\text{NF}_3$ を加えた混合ガスを用いてエッチングを行っているため、ビアホール14Aの底面に露出し



ているエッチングストップ膜 1 3 をほぼ確実に除去することができる。

#### 【 0 0 3 4 】

図 4 (E) に、比較のために、 $\text{NF}_3$  を含まないガスでエッチングを行ったときの概略断面図を示す。使用したエッチングガスは、 $\text{CHF}_3$ 、 $\text{Ar}$ 、及び  $\text{O}_2$  であり、これらのガス流量は、それぞれ 3 0 s c c m、2 0 0 s c c m、及び 8 s c c m である。チャンバ 1 0 0 内の圧力は 6 . 6 5 P a ( 5 0 m T o r r )、上部電極 1 0 2 に供給されるソースパワーは 2 0 0 0 W、下部電極 1 0 1 に供給されるバイアスパワーは 1 5 0 0 W、下部電極 1 0 1 の温度は 2 0 °C である。

#### 【 0 0 3 5 】

このエッチング条件では、層間絶縁膜 1 4 に対するエッチングストップ膜 1 3 のエッチング選択比が十分ではないため、ビアホール 1 4 A の底面に露出しているエッチングストップ膜 1 3 を確実に除去することが困難であり、エッチング中にビアホール 1 4 A の縁がエッチングされてしまう。

#### 【 0 0 3 6 】

第 2 の実施例のように、フロロカーボンガスに  $\text{NF}_3$  を加えたガスを用いることにより、水素を含む  $\text{SiC}$  で形成され、ビアホール 1 4 A の底面に露出しているエッチングストップ膜 1 3 をほぼ確実に除去し、その下の配線を露出させることができる。

#### 【 0 0 3 7 】

次に、図 5 及び図 6 を参照して、本発明の第 3 の実施例による半導体装置の製造方法について説明する。第 1 及び第 2 の実施例では、銅配線上の層間絶縁膜にビアホールを形成する場合を示したが、第 3 の実施例では、ボンディングパッドを配置するための開口を形成する。

#### 【 0 0 3 8 】

図 5 (A) に示すように、半導体基板上に形成された層間絶縁膜 2 1 の表層部の溝に、銅配線 2 2 が埋め込まれている。銅配線 2 2 及び層間絶縁膜 2 1 の上に、 $\text{SiC}$  からなる厚さ 5 0 n m のエッチングストップ膜 2 3、 $\text{SiO}_2$  からなる厚さ 4 0 0 n m の保護膜 2 4、及び  $\text{SiC}$  からなる厚さ 3 0 0 n m のカバー膜 2 5 を順番に形成する。エッチングストップ膜 2 3 及びカバー膜 2 5 の形成は、図

1 (A) に示した第 1 の実施例のエッチングストップ膜 3 の形成と同様のプラズマ励起型化学気相成長により行う。保護膜 2 4 の形成は、図 3 (A) に示した第 2 の実施例による層間絶縁膜 1 4 の形成と同様のプラズマ励起型化学気相成長により行う。

## 【 0 0 3 9 】

カバー膜 2 5 の上にレジスト膜 2 6 を塗布し、開口 2 6 A を形成する。基板表面の法線に平行な視線で見たとき、開口 2 6 A が、配線 2 2 に内包される。

## 【 0 0 4 0 】

図 5 (B) に示すように、レジスト膜 2 6 をマスクとして、カバー膜 2 5 をエッチングし、凹部 2 7 を形成する。このエッチングは、第 2 の実施例の図 4 (D) の工程で説明したエッチングストップ膜 1 3 のエッチングと同一の条件で行う。凹部 2 7 は、保護膜 2 4 の深さ方向の途中まで達する。

## 【 0 0 4 1 】

図 5 (C) に示すように、保護膜 2 4 をさらにエッチングし、凹部 2 7 の底面にエッチングストップ膜 2 3 を露出させる。保護膜 2 4 のエッチングは、第 2 の実施例の図 3 (B) に示した層間絶縁膜 1 4 のエッチングと同一の条件で行う。

## 【 0 0 4 2 】

図 6 (D) に示すように、カバー膜 2 5 の上に残っているレジスト膜 2 6 を、アッシングにより除去する。

## 【 0 0 4 3 】

図 6 (E) に示すように、凹部 2 7 の底面に露出しているエッチングストップ膜 2 3 をエッチングする。このエッチングは、第 2 の実施例の図 4 (D) の工程で説明したエッチングストップ膜 1 3 のエッチングと同一の条件で行う。凹部 2 7 の底面に銅配線 2 2 が露出する。カバー膜 2 5 の表面及び凹部 2 7 の内面を覆うように A 1 膜を成膜してパターニングすることにより、ボンディングパッド 2 8 を形成する。

## 【 0 0 4 4 】

第 3 の実施例においても、図 5 (B) に示したカバー膜 2 5 のエッチング工程において、 $\text{CHF}_3$  に  $\text{NF}_3$  を加えた混合ガスを用いてエッチングを行っているた

め、水素を含むSiCからなるカバー膜25を貫通する凹部27を、再現性よく形成することができる。NF<sub>3</sub>を添加していないフロロカーボンガスを用いたエッチングでは、レジスト膜26に対するカバー膜25の十分大きなエッチング選択比を確保することができない。このため、図6(F)に示したように、レジスト膜26の膜減りが大きくなり、カバー膜25を貫通させることが困難になる。

## 【0045】

上記第1～第3の実施例では、CHF<sub>3</sub>に、NF<sub>3</sub>を添加したエッチングガスを用いたが、CHF<sub>3</sub>以外の、一般式C<sub>x</sub>H<sub>y</sub>F<sub>z</sub> (x、y、zは、x≥1、y≥0、z≥1を満たす整数)で表されるフロロカーボンガスを用いてもよい。また、NF<sub>3</sub>の代わりに、NF<sub>3</sub>と同様の性質を有するSF<sub>6</sub>を用いてもよい。

## 【0046】

次に、図7～図9を参照して、本発明の第4の実施例による半導体装置の製造方法について説明する。

## 【0047】

図7(A)に示すように、半導体基板上に層間絶縁膜30が形成されている。層間絶縁膜30の上に、FSGからなる厚さ500nmの配線層絶縁膜31を形成する。配線層絶縁膜31は、例えば原料ガスとしてSiH<sub>4</sub>、SiF<sub>4</sub>、N<sub>2</sub>O、及びN<sub>2</sub>を用いたプラズマ励起型化学気相成長により形成することができる。配線層絶縁膜31に、配線溝31Aを形成する。配線層絶縁膜31のエッチングは、C<sub>4</sub>F<sub>8</sub>、C<sub>5</sub>F<sub>8</sub>、Ar、CO、及びO<sub>2</sub>の混合ガスを用いたRIEにより行うことができる。層間絶縁膜30と配線層絶縁膜31との界面に、SiN等のエッチングストップ膜を挿入しておき、配線溝31Aの深さを制御してもよい。

## 【0048】

図7(B)に示すように、配線層絶縁膜31の表面及び配線溝31Aの内面を覆うように、Ta<sub>2</sub>N<sub>5</sub>からなる厚さ25nmのバリアメタル層32を、スパッタリングにより形成する。バリアメタル層32の表面上に、シード層となる厚さ200nmの銅層を、スパッタリングにより成膜する。シード層の上に、電解めっきにより、厚さ1300nmの銅膜33Lを形成する。銅膜33Lは、配線溝31Aを完全に埋め込む。

## 【0049】

図7 (C) に示すように、化学機械研磨 (CMP) を行い、配線溝31Aの内部以外の不要なバリアメタル層32及び銅膜33Lを除去する。配線溝31A内にのみ銅配線33が残る。このCMPは、銅配線33の上面が配線層絶縁膜31の上面よりも低くなるように、ディッシングが生ずる条件で行う。

## 【0050】

図8 (D) に示すように、銅配線33の表面及び配線層絶縁膜31の表面を覆うように、Ta<sub>2</sub>N<sub>5</sub>からなるバリアメタル層34を、スパッタリングにより形成する。バリアメタル層34の厚さは、銅配線33のディッシングにより形成された窪みを埋め込む程度とする。

## 【0051】

図8 (E) に示すように、2回目のCMPを行い、配線溝31Aの内部以外の部分のバリアメタル層34を除去する。配線溝31A内に、側面、上面及び底面がバリアメタル層33及び34で覆われた銅配線33が形成される。

## 【0052】

なお、2回目のCMPを行う代わりに、エッチバックを行ってもよい。また、1回目のCMPで、図7 (B) に示した銅膜33Lのみを除去し、配線層絶縁膜31の上にバリアメタル層32を残し、第2回目のCMPで、バリアメタル層32を図8 (D) に示したバリアメタル層34と一緒に除去してもよい。

## 【0053】

図8 (F) に示すように、配線層絶縁膜31及び銅配線33の上に、SiCからなる厚さ50nmのエッチングストップ膜41、FSGからなる層間絶縁膜42、SiNからなる厚さ50nmの反射防止膜43を順番に形成する。エッチングストップ膜41の形成は、第1の実施例の図1 (A) に示したエッチングストップ膜3の形成と同様の方法で行う。層間絶縁膜42の形成は、その下の配線層絶縁膜31の形成と同様の方法で行う。反射防止膜43の形成は、第2の実施例の図3 (A) に示した反射防止膜の形成と同様の方法で行う。

## 【0054】

図9 (G) に示すように、反射防止膜43の上にレジスト膜44を形成する。

レジスト膜 4 4 に、ビアホールに対応する開口 4 4 A を形成する。基板表面の法線に平行な視線で見たとき、開口 4 4 A は、銅配線 3 3 と部分的に重なる位置に配置される。レジスト膜 4 4 をマスクとして、反射防止膜 4 3 及び層間絶縁膜 4 2 を、厚さ方向の途中までエッチングし、ビアホール 4 5 を形成する。その後、レジスト膜 4 4 を除去する。

## 【 0 0 5 5 】

次に、反射防止膜 4 3 の表面上に、レジスト膜 4 7 を形成する。レジスト膜 4 7 に、配線溝に対応する開口 4 7 A を形成する。開口 4 7 A は、ビアホール 4 5 と部分的に重なる位置に配置される。レジスト膜 4 7 をマスクとして、反射防止膜 4 3 及び層間絶縁膜 4 2 をエッチングする。開口 4 7 A に対応する配線溝 4 6 が形成されるとともに、ビアホール 4 5 が深くなり、その底面にエッチングストップ膜 4 1 の一部が露出する。

## 【 0 0 5 6 】

図 9 (H) に示すように、ビアホール 4 5 の底面に露出したエッチングストップ膜 4 1 をドライエッチングし、その下のバリアメタル層 3 4 を露出させる。エッチングストップ膜 4 1 のエッチング条件について説明する。使用したエッチングガスは、 $\text{CHF}_3$ 、 $\text{SF}_6$ 、Ar、及び $\text{O}_2$ の混合ガスであり、それらのガス流量は、それぞれ 30 sccm、10 sccm、200 sccm、及び 8 sccm である。チャンバ 100 内の圧力は 6.65 Pa (50 mTorr)、上部電極 102 に供給されるソースパワーは 2000 W、下部電極 101 に供給されるバイアスパワーは 1500 W、下部電極 101 の温度は 20℃である。

## 【 0 0 5 7 】

第 4 の実施例においては、 $\text{CHF}_3$ に $\text{SF}_6$ を加えた混合ガスを用いてエッチングしているため、ビアホール 4 5 の底のエッチングストップ膜 4 1 をほぼ確実に除去することができる。エッチング後の表面に銅が露出する場合には、銅の腐食を防止するために、フロロカーボンガスに添加するガスとして $\text{SF}_6$ よりも $\text{NF}_3$ を使用することが好ましい。第 4 の実施例の場合には、銅配線 3 3 の上面が TaN からなるバリアメタル層 3 4 で覆われているため、 $\text{SF}_6$ を用いることが可能である。なお、バリアメタル層の材料として、TaN の代わりに、Ta、Ti、

TiNを用いてもよい。

【0058】

上記第1～第4の実施例では、フロロカーボンガスに $\text{SF}_6$ または $\text{NF}_3$ を加えた混合ガスを用いて、水素を含むSiC膜をエッチングする技術を示したが、フロロカーボンガスに $\text{SF}_6$ と $\text{NF}_3$ との両方を加えてもよい。 $\text{SF}_6$ または $\text{NF}_3$ を加える効果を得るためには、フロロカーボンガスの流量に対する $\text{SF}_6$ または $\text{NF}_3$ の流量の比を0.1以上0.5以下とすることが好ましい。

【0059】

また、フロロカーボンガスとして $\text{CHF}_3$ を用いたが、その他に一般式 $\text{C}_x\text{H}_y\text{F}_z$  ( $x$ 、 $y$ 、 $z$ は、 $x \geq 1$ 、 $y \geq 0$ 、 $z \geq 1$ を満足する整数)で表されるガスを用いてもよい。このようなガスの例として、 $\text{CF}_4$ 、 $\text{CH}_2\text{F}_2$ 、 $\text{C}_4\text{F}_8$ 、 $\text{C}_5\text{F}_8$ 、 $\text{C}_4\text{F}_6$ 等が挙げられる。

【0060】

特に、水素を20原子%以上含むSiC膜をエッチングする場合に、エッチングガスに $\text{NF}_3$ や $\text{SF}_6$ を添加する効果が高い。また、SiC膜をハードマスクやエッチングストッパ膜として利用するためには、水素の含有量を50原子%以下とすることが好ましい。

【0061】

また、上記実施例では、層間絶縁膜の材料として、SiLK (ダウケミカル社)、 $\text{SiO}_2$ 、及びFSGを用いたが、SiCとはエッチング耐性の異なるその他の絶縁材料を用いてもよい。層間絶縁膜として、例えば、フォスフォシリケートガラス (PSG) からなる膜、ボロフォスフォシリケートガラス (BPSG) からなる膜、水素シルセスキオキサン (HSQ) からなる膜、テトラエチルオルソシリケート (TEOS) を用いて堆積した膜、スピノングラス (SOG) により形成した膜、カーボン含有シリコン酸化 (SiOC) 膜、シリコンを含む発泡性多孔質膜、及び有機材料からなる絶縁膜を用いてもよい。有機絶縁膜の材料として、ダウケミカル社のSiLK以外に、アライドシグナル社のFLARE等が挙げられる。

【0062】

上記実施例では、平行平板型のR I E装置を用いて、ドライエッチングを行ったが、その他のエッチング装置、例えば電子サイクロトロン共鳴プラズマ（EC Rプラズマ）エッチング装置、誘導結合プラズマ（ICP）エッチング装置、ヘリコンプラズマエッチング装置等を用いてもよい。

## 【0063】

また、上記実施例では、SiC膜をプラズマ励起型化学気相成長で形成するときの原料ガスとして、 $\text{Si}(\text{CH}_3)_4$ と $\text{NH}_3$ と $\text{N}_2$ との混合ガスを用いたが、他の原料ガスを用いることも可能である。例えば、 $\text{Si}(\text{CH}_3)_3\text{H}$ と $\text{NH}_3$ と $\text{H}_2$ との混合ガスを用いてもよい。この原料ガスを用いて成膜したSiC膜は、アプライドマテリアル社の商品B L O kとして知られている。

## 【0064】

次に、図10～図13を参照して、本発明の第5の実施例による半導体装置の製造方法について説明する。上記第1～第4の実施例では、水素を含むSiC膜のエッチング方法に特徴を有する半導体装置の製造方法について説明したが、第5の実施例は、SiC膜の成膜方法に特徴を有する。

## 【0065】

第2の実施例の図3（B）に示したSiCからなるエッチングストップ膜13は、その上の層間絶縁膜14にビアホール14Aを形成する際のエッチングを停止させる機能を有する。このため、層間絶縁膜14のエッチング条件下で、エッチングストップ層13のエッチング速度が層間絶縁膜14のエッチング速度に比べて十分遅いことが必要である。

## 【0066】

従来のエッチングストップ膜として使用されていたSiN膜に対する $\text{SiO}_2$ 膜のエッチング選択比は約9.5であった。これに対し、SiC膜に対する $\text{SiO}_2$ 膜のエッチング選択比が約7まで低下してしまうことがわかった。特に、ビアホール底のエッチングストップ膜を除去する場合のエッチング選択比の低下が大きい。ビアホール底のSiN膜に対するFSG膜のエッチング選択比が約28であるのに対し、ビアホール底のSiC膜に対するFSG膜のエッチング選択比は約17であった。このように、ビアホール底でエッチングを停止させる場合の

エッチング選択比の低下量が大きいのは、ビアホール底では、エッチングがスパッタリングよりも化学的な反応に支配されるためと考えられる。

## 【0067】

図10に、 $\text{SiO}_2$ やFSGのエッチング条件下でのエッチング速度が比較的速かったSiC膜の、フーリエ変換赤外分光 (FT-IR) の結果を示す。横軸は、波数を単位  $\text{cm}^{-1}$  で表し、縦軸は吸収率 (Absorbance) を表す。Si-C結合に起因するピークのみならず、Si-OCH結合に起因する大きなピークが現れていることが分かる。Si-OCH結合に起因するピーク強度が、Si-C結合に起因するピーク強度よりも大きい。SiC膜がSi-OCH結合を多く含むため、SiO系のエッチング条件下において、このSiC膜のエッチング速度が速くなってしまったと考えられる。

## 【0068】

図11に、成膜条件を変えて形成した5種類のSiC膜のFT-IRの結果を示す。SiC膜は、原料ガスとしてテトラメチルシランと $\text{CO}_2$ とを用いた。図11中の曲線に付された数字は、 $\text{CO}_2$ の流量に対するテトラメチルシランの流量の比を示す。

## 【0069】

流量比が大きくなる (テトラメチルシランの流量が相対的に多くなる) と、Si-C結合のピーク強度が大きくなることがわかる。流量比を小さくすると、Si-OCH結合のピーク強度が大きくなり、SiC膜に、より多くの酸素及び水素が取り込まれることが分かる。

## 【0070】

図12に、成膜時のテトラメチルシランと $\text{CO}_2$ との流量比と、SiC膜のエッチング速度との関係を示す。横軸は、 $\text{CO}_2$ の流量に対するテトラメチルシランの流量の比を表し、縦軸はエッチング速度を単位「nm/分」で表す。なお、エッチング条件は、下記のとおりである。

## 【0071】

$\text{C}_4\text{F}_8$ の流量が8 sccm、 $\text{C}_5\text{F}_8$ の流量が3 sccm、Arの流量が320 sccm、COの流量が190 sccm、及び $\text{O}_2$ の流量が8 sccmである。



圧力は約4 Pa (30 mTorr)、ソースパワーは1750 W、バイアスパワーは1400 W、下部電極温度は20℃である。

## 【0072】

流量比が0.2以上であれば、エッチング速度はほとんど流量比の影響を受けず、30 nm/分を中心として分布する。流量比が0.2未満の領域で、エッチング速度が大きくなっていることが分かる。このため、SiC膜をエッチングストッパ膜として利用する場合には、成膜時の流量比を0.2以上とすることが好ましい。

## 【0073】

図13に、成膜時のテトラメチルシランとCO<sub>2</sub>との流量比と、ストレスシフトとの関係を示す。横軸は、CO<sub>2</sub>の流量に対するテトラメチルシランの流量の比を表し、縦軸はストレスシフトを単位「MPa/cm<sup>2</sup>」で表す。ストレスシフトは、成膜後10～12日経過時の基板の反りから求めた。流量比を大きくすると、ストレスシフトが負の向きに大きくなることが分かる。特に、流量比が0.6を超えた領域に、ストレスシフトの絶対値の大きい試料が散見される。ストレスシフトが大きいということは、SiC膜の膜質が不安定であることを表している。このため、流量比を0.6以下とすることが好ましい。

## 【0074】

上記考察からわかるように、SiO<sub>2</sub>膜のエッチング条件下でのエッチング速度が遅く、かつ膜質の安定したSiC膜を得るためには、CO<sub>2</sub>の流量に対するテトラメチルシランの流量の比を0.2～0.6とすることが好ましく、0.3～0.5とすることがより好ましい。

## 【0075】

次に、図14～図19を参照して、上記第1～第5の実施例による半導体装置の製造方法を適用して、ダマシン法により半導体装置を製造する方法について説明する。

## 【0076】

図14(A)に示すように、シリコンからなる基板51の表面上に、素子分離絶縁領域52が形成されている。素子分離絶縁領域52は、シリコン局所酸化(

LOCOS) や、シャロートレンチアイソレーション (STI) により形成される。素子分離絶縁領域 52 で囲まれた活性領域上に、ゲート電極 53G、ソース領域 53S、及びドレイン領域 53D を含む MOSFET 53 が形成されている。ゲート電極 53G の上面上に、 $\text{SiO}_2$  からなる上部絶縁膜 53I が形成されている。ゲート電極 53G 及び上部絶縁膜 53I の側面上のサイドウォールスペーサ 53W が形成されている。MOSFET 53 は、周知の成膜、フォトリソグラフィ、エッチング、イオン注入等の工程を繰り返し実行することにより形成される。

## 【0077】

基板 51 の表面上に、MOSFET 53 を覆うように、 $\text{SiC}$  からなるエッチングストッパ膜 57 を形成する。エッチングストッパ膜 57 は、上記第 5 の実施例による好ましい成膜条件で形成される。エッチングストッパ膜 57 の上に、フオスフォシリケートガラス (PSG) からなる厚さ 30 nm の層間絶縁膜 60 を、化学気相成長 (CVD) により形成する。

## 【0078】

図 14 (B) に示す状態までの工程を説明する。層間絶縁膜 60 の表面上にレジスト膜 61 を形成する。ソース領域 53S 及びドレイン領域 53D に対応する位置に、レジスト膜 61 を貫通する開口を形成する。レジスト膜 61 をマスクとして層間絶縁膜 60 をエッチングし、ソース領域 53S 及びドレイン領域 53D に対応する位置に、コンタクトホール 62S 及び 62D を形成する。このエッチングは、エッチングストッパ膜 57 で停止する。レジスト膜 61 を除去する。

## 【0079】

図 14 (B) では、基板表面の法線に平行な視線で見たとき、コンタクトホール 62D の一部がゲート電極 53G の一部に重なる場合を示している。

## 【0080】

図 14 (C) に示すように、コンタクトホール 62S 及び 62D の底面に露出しているエッチングストッパ膜 57 を除去する。このエッチングは、上記第 2 の実施例による方法で説明した好ましいエッチング条件で行われる。ソース領域 53S 及びドレイン領域 53D の一部が露出する。ゲート電極 53G の上には、

上部絶縁膜 53 I が配置されているため、ゲート電極 53 G は露出しない。

【0081】

図 15 (D) に示すように、コンタクトホール 62 S 及び 62 D の内面、及びエッチングストッパ膜 61 の上面を覆う厚さ 30 nm のバリアメタル層を形成する。バリアメタル層 63 は、例えば Ti、TiN または TaN で形成される。バリアメタル層の表面上に、コンタクトホール 62 S 及び 62 D 内を埋め尽くすのに十分な厚さのタングステン (W) 層を形成する。バリアメタル層及び W 層の形成は、例えば CVD により行われる。

【0082】

層間絶縁膜 60 が露出するまで CMP を行い、余分のバリアメタル層及び W 層を除去する。コンタクトホール 62 S 及び 62 D 内に、バリアメタル層 63 及び W からなる導電プラグ 64 が残る。

【0083】

図 15 (E) に示すように、層間絶縁膜 60 の上に、SiC からなる厚さ 50 nm のエッチングストッパ膜 69 を形成する。その上に、厚さ 250 nm の第 1 層目配線層絶縁膜 70 を形成する。第 1 層目配線層絶縁膜 70 は、例えば FSG で形成される。

【0084】

第 1 層目配線層絶縁膜 70 の上に、SiO<sub>2</sub> からなる厚さ 150 nm のキャップ膜 71 を、プラズマ励起型化学気相成長により形成する。キャップ膜 71 の上に、レジストパターン 74 を形成する。レジストパターン 74 には、第 1 層目配線層絶縁膜 70 内に形成される配線に対応した開口 76 が設けられている。開口 76 は、通常の写真リソグラフィにより形成される。

【0085】

図 16 (F) に示すように、レジストパターン 74 をマスクとして、キャップ膜 71 及び第 1 層目配線層絶縁膜 70 をエッチングする。キャップ膜 71 及び第 1 層目配線層絶縁膜 70 のエッチングは、エッチングガスとして C<sub>4</sub>F<sub>8</sub>、C<sub>5</sub>F<sub>8</sub>、Ar、CO、及び O<sub>2</sub> の混合ガスを用いた RIE により行われる。このエッチングは、エッチングストッパ膜 69 で停止する。第 1 層目配線層絶縁膜 70 内に

、レジストパターン74の開口76に対応した配線溝75が形成される。配線溝75を形成した後、レジストパターン74を除去する。その後、配線溝75の底面に露出したエッチングストッパ膜69を除去する。

## 【0086】

図16(G)に示すように、導電プラグ64の上面が、対応する配線溝75の底面に露出する。配線溝75の内面及びキャップ膜71の上面を覆う厚さ25nmのバリアメタル層72Lを形成する。バリアメタル層72Lは、TiNまたはTaNで形成され、CVDにより成膜される。バリアメタル層72Lの表面上に、銅からなる導電層73Lを形成する。導電層73Lは、バリアメタル層72Lの表面をCuからなるシード層で覆った後、Cuを電解めっきすることにより形成され、配線溝75内を埋め尽くすのに十分な厚さを有する。

## 【0087】

図17(H)に示すように、キャップ膜71が露出するまでCMPを行う。配線溝75内に、その内面を覆うバリアメタル層72と、配線溝75内を埋め尽くすCu配線73が残る。

## 【0088】

図17(I)に示すように、キャップ膜71の上に、SiCからなる厚さ50nmの拡散バリア膜80、FSGからなる厚さ800nmの層間絶縁膜81、SiO<sub>2</sub>からなる厚さ100nmのキャップ膜85、及びSiCからなる厚さ50nmのハードマスク86を順番に成膜する。

## 【0089】

拡散バリア膜80は、例えば上記第5の実施例で説明した好ましい成膜条件で成膜する。ハードマスク86の形成は、例えば第1の実施例の図1(A)に示したハードマスク5の形成と同様の条件で行う。

## 【0090】

図18(J)に示すように、ハードマスク86をパターニングし、開口87を形成する。開口87は、配線層絶縁膜84内に形成する配線のパターンに対応する。ハードマスク86のパターニングは、第1の実施例の図1(B)に示したハードマスク5のエッチングと同様の条件で行われる。

## 【0091】

図18 (K) に示すように、開口87の底面に露出したキャップ膜85及びハードマスク86の上に、レジストパターン90を形成する。レジストパターン90には、層間絶縁膜81に形成されるビアホールに対応した開口91が形成されている。基板法線に平行な視線で見たとき、開口91はハードマスク86に形成された開口87に内包される。レジストパターン90をマスクとして、キャップ膜85から、層間絶縁膜81の厚さ方向の途中までエッチングし、ビアホール92を形成する。

## 【0092】

ビアホール92を形成した後、レジストパターン90をアッシングする。

## 【0093】

図19 (L) に示すように、ハードマスク86をマスクとして、層間絶縁膜81を、その上面から深さ方向の途中までエッチングする。このとき、ビアホール92の底面がさらにエッチングされ、ビアホール92が層間絶縁膜81を貫通する。このエッチングは、エッチングガスとして $C_4F_8$ 、 $C_5F_8$ 、Ar、CO、及び $O_2$ の混合ガスを用いたRIEにより行うことができる。

## 【0094】

図19 (M) に示すように、ハードマスク56、及びビアホール92の底面に露出している拡散バリア膜80をエッチングする。このエッチングは、第2の実施例の図4 (D) で説明したエッチングストッパ膜13のエッチングと同様の条件で行う。

## 【0095】

図20に示すように、ビアホール92及び配線溝93の内面を、Ta<sub>2</sub>N<sub>5</sub>からなるバリアメタル層150で覆い、内部をCu配線151で埋め込む。バリアメタル層150及びCu配線151の形成は、第1層目配線層のバリアメタル層72及びCu配線73の形成方法と同様の方法で行われる。

## 【0096】

上述のように、SiC膜をハードマスクや、エッチングストッパ膜として使用することができる。従来のSiNを用いる場合に比べて、配線間の寄生容量を小

さくすることができる。このため、半導体集積回路装置の高速動作が可能になる。

【0097】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0098】

上述の実施例から、以下の付記に示された発明が導出される。

(付記1) 半導体基板上に、シリコンカーバイドとはエッチング耐性の異なる材料からなる第1の膜を形成する工程と、

前記第1の膜の上に、水素を含有するシリコンカーバイドからなる第2の膜を形成する工程と、

前記第2の膜の上に、開口を有するレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第2の膜をドライエッチングする工程と、

前記第2の膜をマスクとして、前記第1の膜をエッチングする工程とを有する半導体装置の製造方法。

(付記2) 絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、

前記第1の膜の上に、絶縁材料からなる第2の膜を形成する工程と、

前記第2の膜の上に、開口を有するレジスト膜を形成する工程と、

前記レジスト膜をマスクとして、前記第2の膜をエッチングして凹部を形成し、該凹部の底面に前記第1の膜の一部を露出させる工程と、

前記レジスト膜をアッシングして除去する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記凹部の底面に露出した第1の膜をドライエッチングして、前記

基板の導電性領域を露出させる工程と、

前記凹部内に、導電性部材を埋め込む工程と  
を有する半導体装置の製造方法。

(付記 3) 前記基板の表面に露出していた導電性領域が銅配線である付記 2 に記載の半導体装置の製造方法。

(付記 4) 前記銅配線の上面が、Ta、Ta<sub>2</sub>N<sub>3</sub>、Ti、TiN からなる群より選択された一つの材料からなるバリアメタル層で覆われている付記 3 に記載の半導体装置の製造方法。

(付記 5) 前記第 2 の膜が、シリコン酸化膜、フッ素シリケートガラスからなる膜、ボロフッ素シリケートガラスからなる膜、フルオロシリケートガラスからなる膜、水素シルセスキオキサンからなる膜、テトラエチルオルソシリケートを用いて堆積した膜、スピンオンガラスにより形成した膜、カーボン含有シリコン酸化膜、シリコンを含む発泡性多孔質膜、及び有機材料からなる絶縁膜からなる群より選択された一つの膜である付記 2 乃至 4 のいずれかに記載の半導体装置の製造方法。

(付記 6) 前記第 1 の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を 0.2 ～ 0.6 として、化学気相成長により前記第 1 の膜を形成する付記 2 乃至 5 のいずれかに記載の半導体装置の製造方法。

(付記 7) 絶縁性の表面の一部に、導電性部材が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第 1 の膜を形成する工程と、

前記第 1 の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜の上に、水素を含有するシリコンカーバイドからなる第 3 の膜を形成する工程と、

前記第 3 の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に開口を有するレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングする工程と、

前記第1の膜のエッチング速度よりも前記第2の膜のエッチング速度の方が速くなる条件で、前記レジスト膜をマスクとして前記第2の膜をエッチングして凹部を形成し、該凹部の底面に前記第1の膜の一部を露出させる工程と、

前記レジスト膜をアッシングして除去する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記凹部の底面に露出した第1の膜をドライエッチングして、前記基板の導電性部材を露出させる工程と

を有する半導体装置の製造方法。

(付記8) 前記第1の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を0.2～0.6として、化学気相成長により前記第1の膜を形成する付記7に記載の半導体装置の製造方法。

(付記9) 絶縁性の表面の一部に、配線が露出した基板を準備する工程と、

前記基板の表面上に、水素を含有するシリコンカーバイドからなる第1の膜を形成する工程と、

前記第1の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第2の膜を形成する工程と、

前記第2の膜の上に、水素を含有するシリコンカーバイドからなる第3の膜を形成する工程と、

前記第3の膜の上に、基板表面の法線に平行な視線で見たとき、前記導電性部材と部分的に重なる位置に第1の開口を有する第1のレジスト膜を形成する工程と、

フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、前記レジスト膜をマスクとして、前記第3の膜をエッチングし、前記第2の膜の表面の一部を露出させる工程と、

前記第1のレジスト膜を除去する工程と、



エッチングされた前記第 3 の膜、及び露出した前記第 2 の膜の表面上に、前記第 1 の開口に内包され、前記配線と部分的に重なる位置に第 2 の開口が形成された第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜をマスクとして、前記第 2 の膜を、少なくとも深さ方向の途中までエッチングする工程と、

前記第 2 のレジスト膜を除去する工程と、

部分的にエッチングされた前記第 3 の膜をマスクとして、前記第 2 の膜をエッチングし、前記第 2 の開口が形成されていた領域においては、前記第 1 の膜まで達するビアホールを形成し、前記第 1 の開口内で、かつ前記第 2 の開口外の領域においては、前記第 2 の膜の深さ方向の途中まで達する配線溝を形成する工程と

フロロカーボンガスに、 $\text{SF}_6$  及び  $\text{NF}_3$  の少なくとも一方のガスを加えた混合ガスを用い、前記ビアホールの底面に露出した第 1 の膜をドライエッチングして、前記配線を露出させる工程と、

前記ビアホール及び前記配線溝内を、導電性部材で埋め込む工程とを有する半導体装置の製造方法。

(付記 1 0) 前記第 1 の膜を形成する工程において、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を 0.2～0.6 として、化学気相成長により前記第 1 の膜を形成する付記 9 に記載の半導体装置の製造方法。

(付記 1 1) 半導体基板の表面上に、原料ガスとしてテトラメチルシランと二酸化炭素とを用い、二酸化炭素の流量に対するテトラメチルシランの流量の比を 0.2～0.6 として、化学気相成長によりシリコンカーバイドからなる第 1 の膜を形成する工程と、

前記第 1 の膜の上に、シリコンカーバイドとはエッチング耐性の異なる絶縁材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜の上に、開口を有するレジスト膜を形成する工程と、

前記第 2 の膜のエッチング速度が、前記第 1 の膜のエッチング速度よりも速くなる条件で、前記レジスト膜をマスクとして、前記第 2 の膜をエッチングし、前

記第 1 の膜の一部を露出させる工程と

を有する半導体装置の製造方法。

(付記 1 2) 前記第 2 の膜が、フロロシリケートガラスで形成されている付記 1 1 に記載の半導体装置の製造方法。

【 0 0 9 9 】

【発明の効果】

以上説明したように、本発明によれば、従来の SiN に代わって、誘電率の低い SiC をハードマスクやエッチングストッパ膜に使用することができる。これにより、配線間の寄生容量を小さくし、半導体集積回路装置の動作速度の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図 2】

本発明の実施例で使用する R I E 装置の概略図である。

【図 3】

本発明の第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図 (その 1) である。

【図 4】

本発明の第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図 (その 2) である。

【図 5】

本発明の第 3 の実施例による半導体装置の製造方法を説明するための基板の断面図 (その 1) である。

【図 6】

本発明の第 3 の実施例による半導体装置の製造方法を説明するための基板の断面図 (その 2) である。

【図 7】

本発明の第 4 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 8】

本発明の第 4 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 9】

本発明の第 4 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 3）である。

【図 1 0】

従来の SiC 膜の FT-IR 結果を示すグラフである。

【図 1 1】

テトラメチルシランと CO<sub>2</sub> との流量比を変えて成膜した種々の SiC 膜の FT-IR 結果を示すグラフである。

【図 1 2】

成膜時のテトラメチルシランと CO<sub>2</sub> との流量比と、SiC 膜のエッチング速度との関係を示すグラフである。

【図 1 3】

成膜時のテトラメチルシランと CO<sub>2</sub> との流量比と、ストレスシフトとの関係を示すグラフである。

【図 1 4】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 1 5】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 1 6】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その 3）である。

【図 1 7】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その４）である。

【図 1 8】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その５）である。

【図 1 9】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その６）である。

【図 2 0】

上記実施例を適用した半導体装置の製造方法を説明するための基板の断面図（その６）である。

【符号の説明】

- 1、4、11、14、21、30、42 層間絶縁膜
- 2、12、22、33 配線
- 3、13、23、41 エッチングストッパ膜
- 5、43 ハードマスク
- 6、16、26、44、47、61 レジスト膜
- 15 反射防止膜
- 24 保護膜
- 25 カバー膜
- 27 開口
- 28 ボンディングパッド
- 31 配線層絶縁膜
- 32、34 バリアメタル層
- 45 ビアホール
- 46 配線溝
- 51 基板
- 52 素子分離絶縁領域
- 53 MOSFET

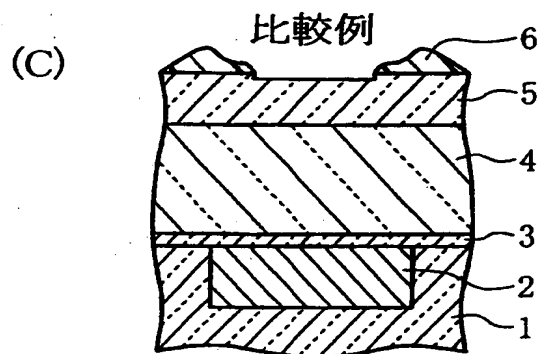
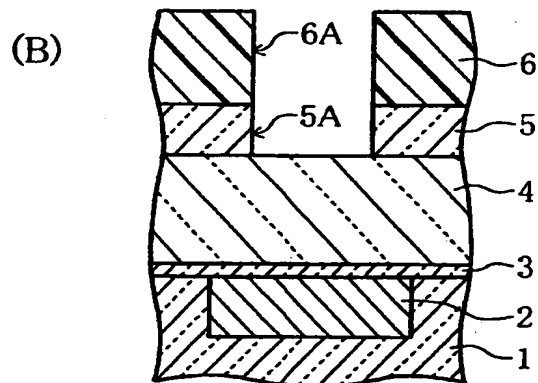
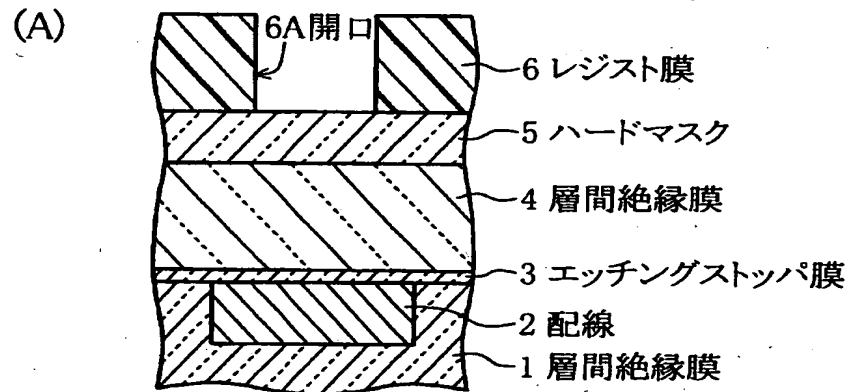
- 60 層間絶縁膜
- 62S、62D、75、92 ビアホール
- 63、72L、72、150 バリアメタル層
- 64 導電プラグ
- 70 第1層目配線層絶縁膜
- 71、85 キャップ膜
- 73L 導電層
- 74、90 レジストパターン
- 75、151 Cu配線
- 76、87、91 開口
- 80 拡散バリア膜
- 81 ビア層絶縁膜
- 82 下側エッチングストッパ膜
- 83 上側エッチングストッパ膜
- 84 配線層絶縁膜
- 86 ハードマスク
- 93 配線溝

【書類名】

図面

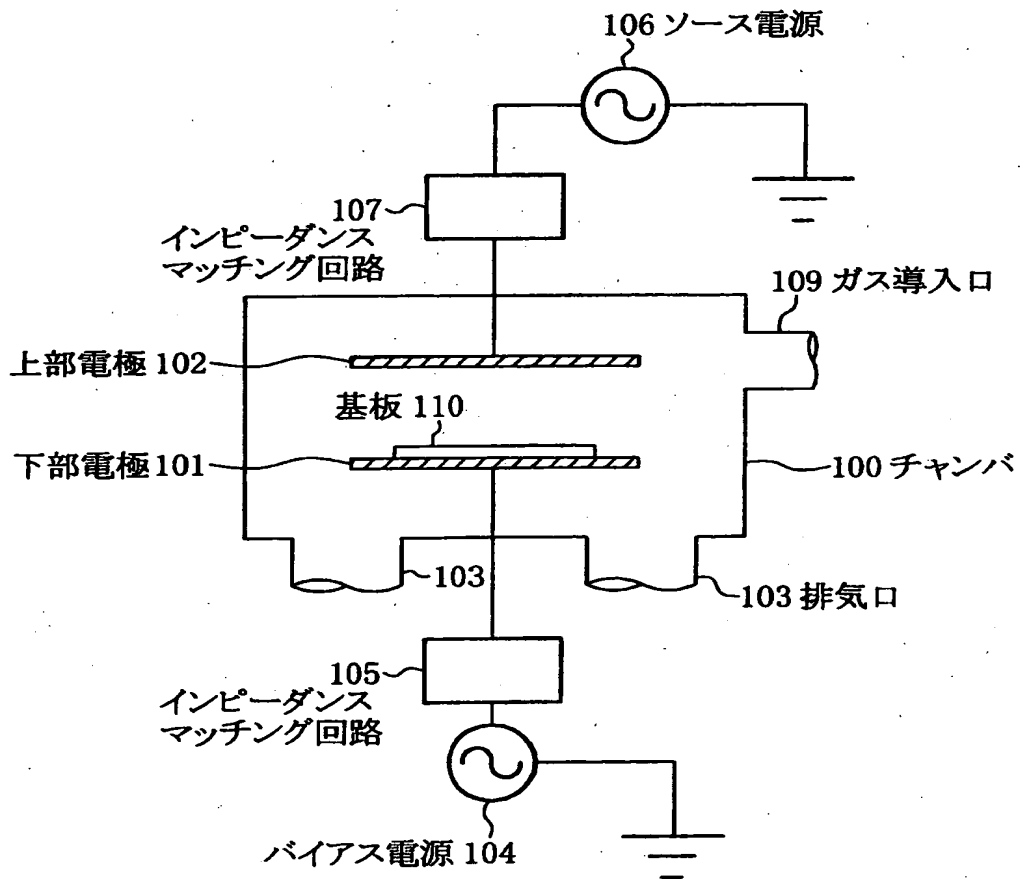
【図1】

第1の実施例



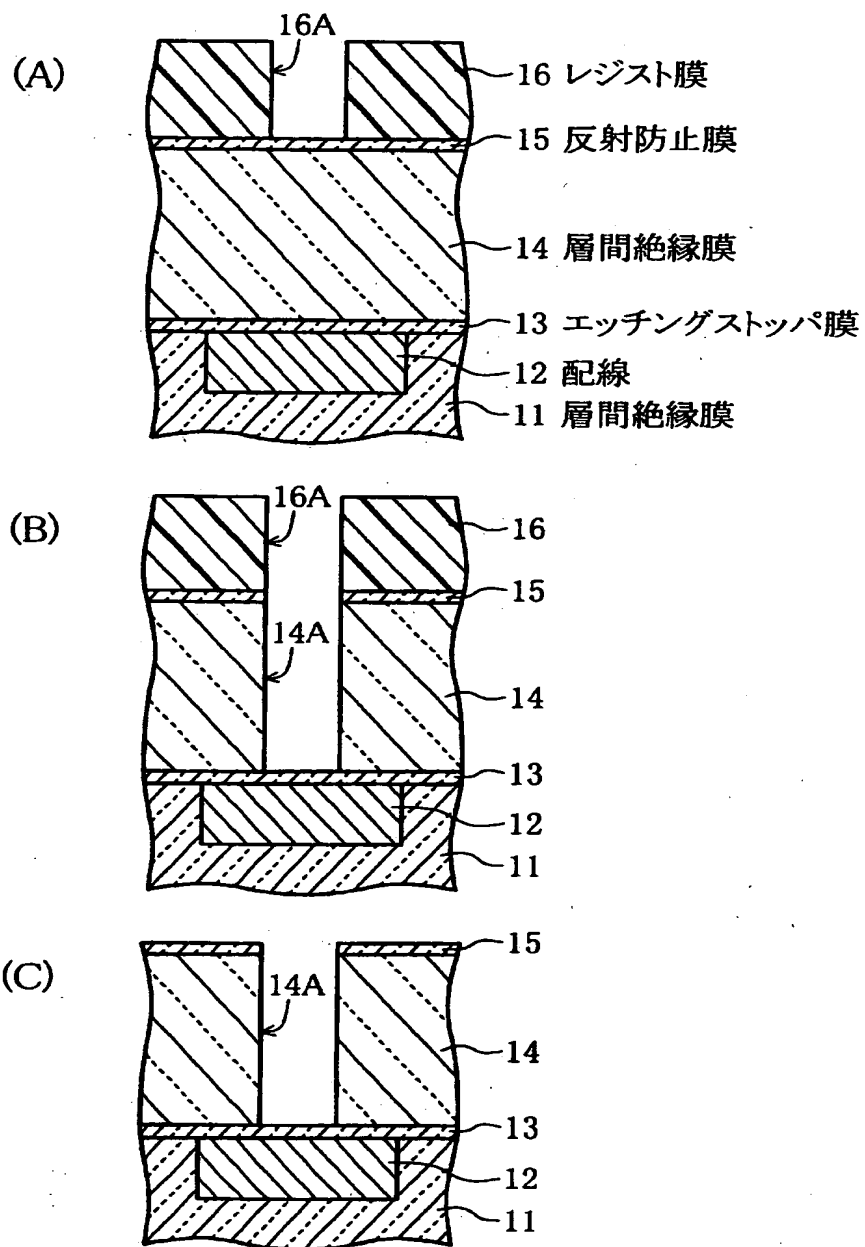
【図 2】

RIE装置



【図3】

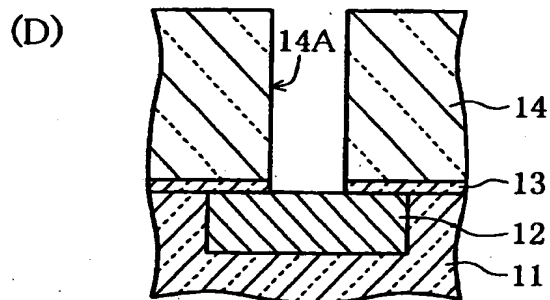
第2の実施例(その1)



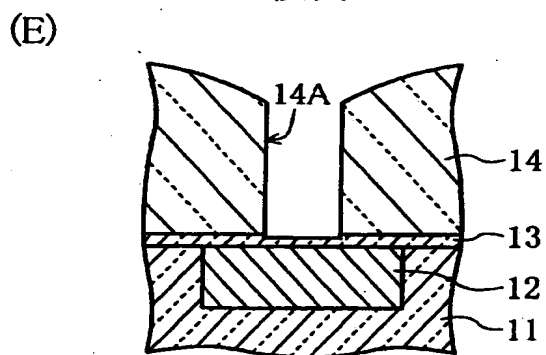


【図 4】

第2の実施例(その2)

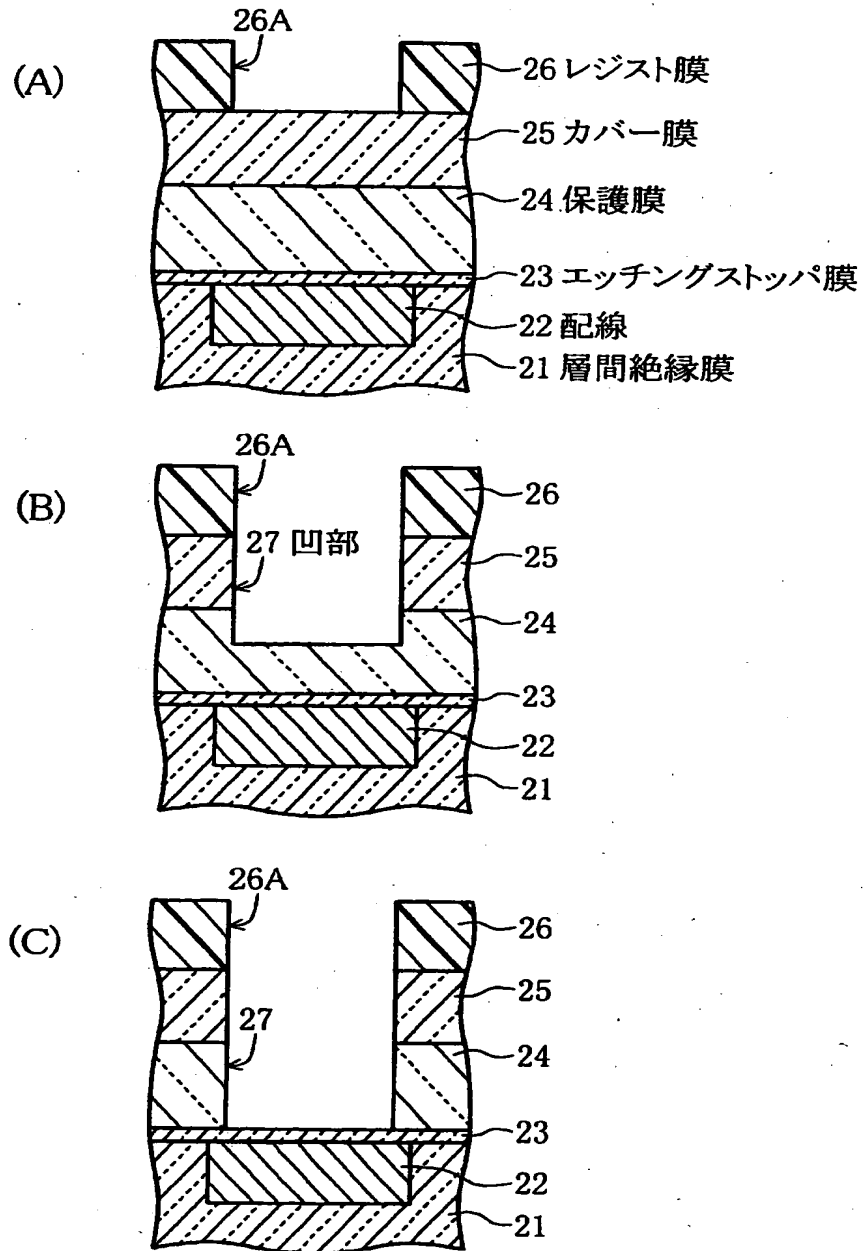


比較例



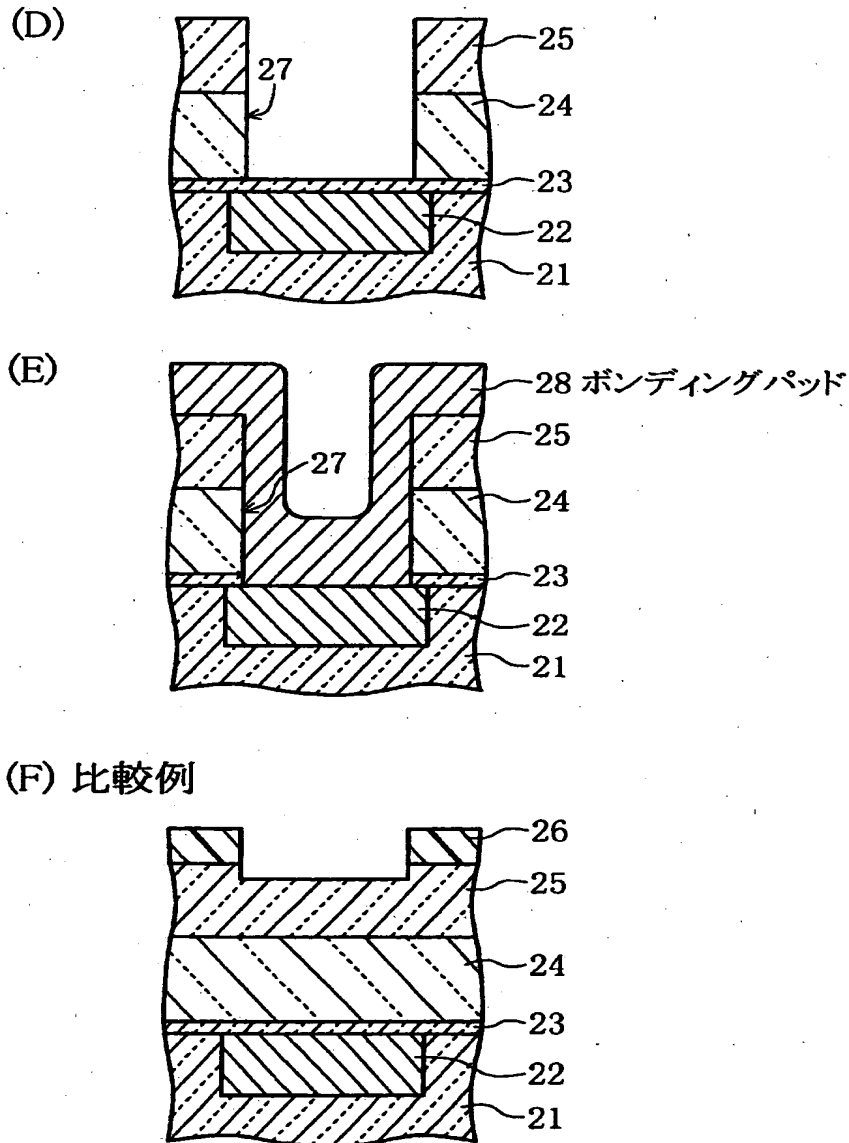
【図 5】

第3の実施例(その1)



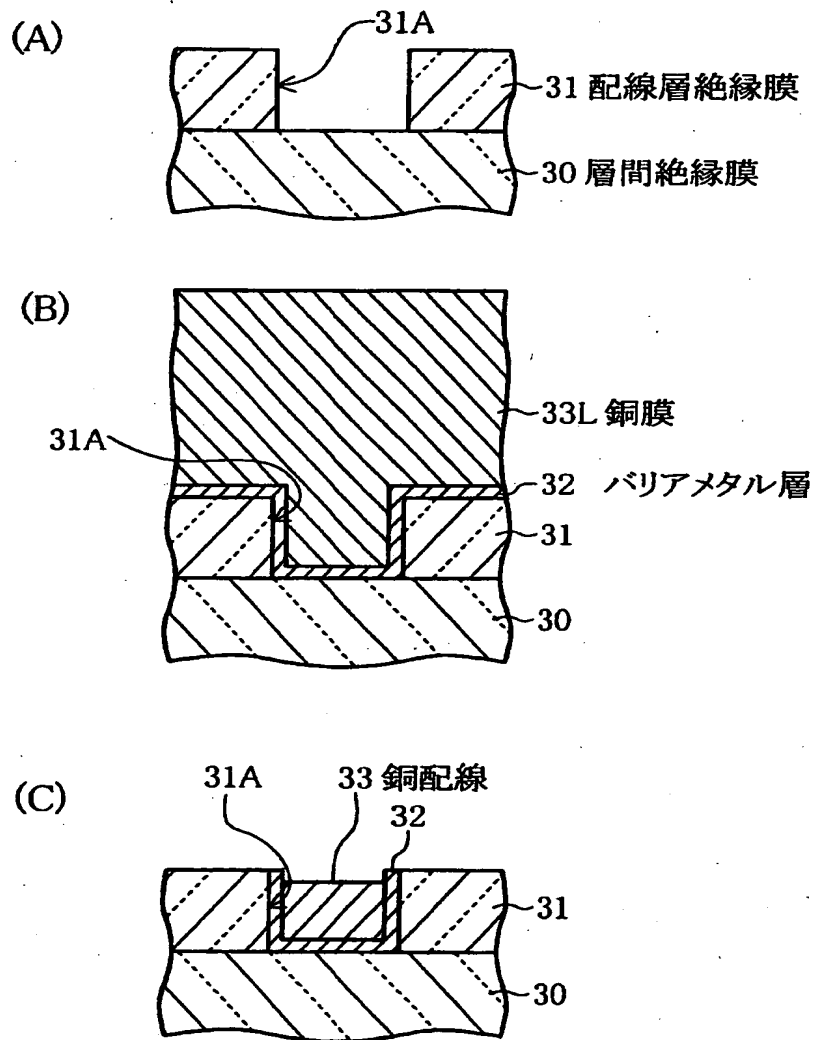
【図 6】

第3の実施例(その2)



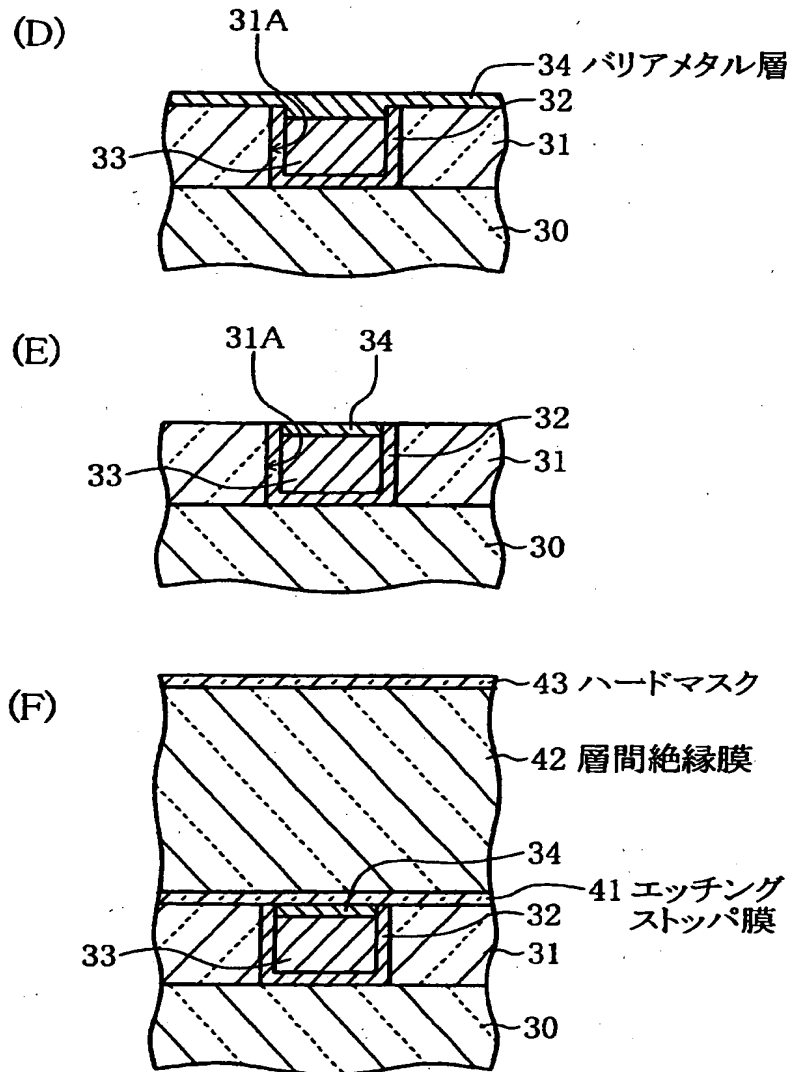
【図 7】

第4の実施例(その1)



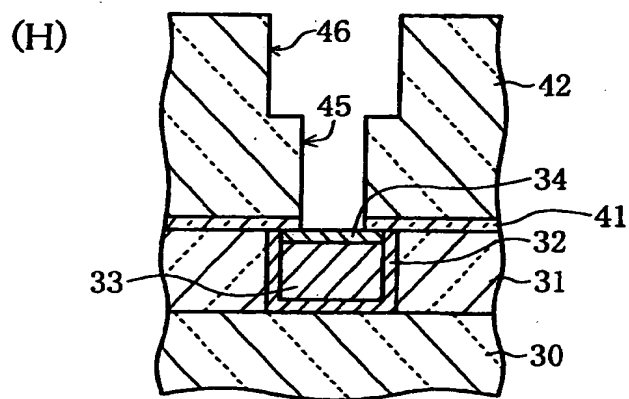
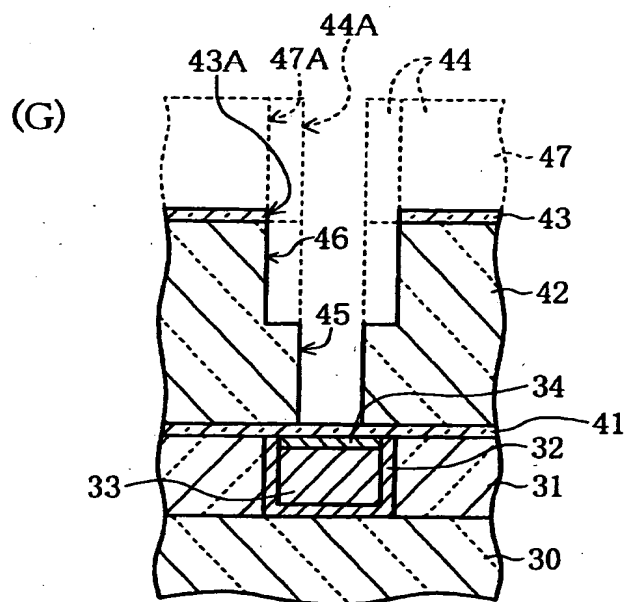
【図 8】

第4の実施例(その2)

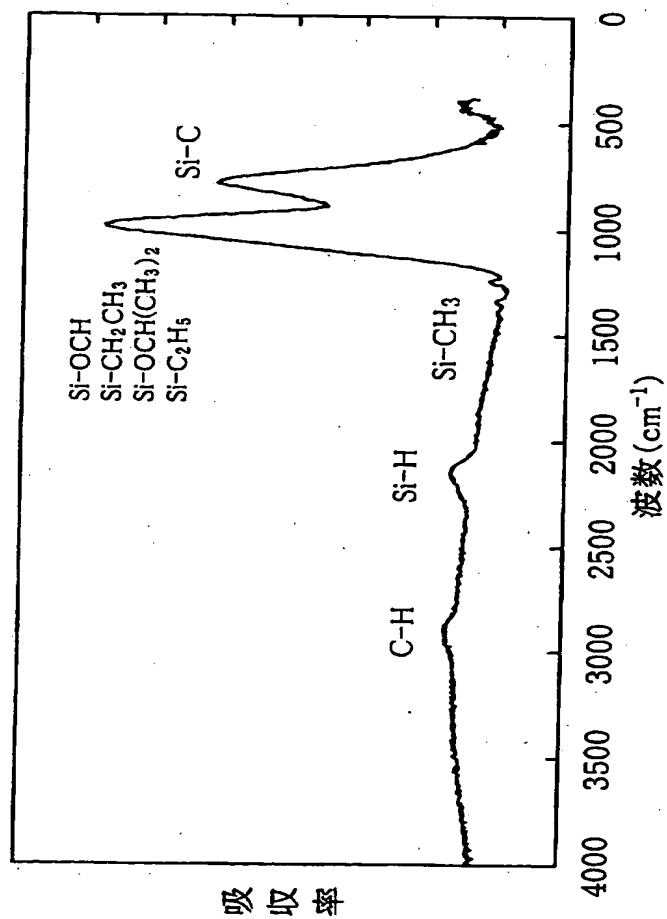


【図 9】

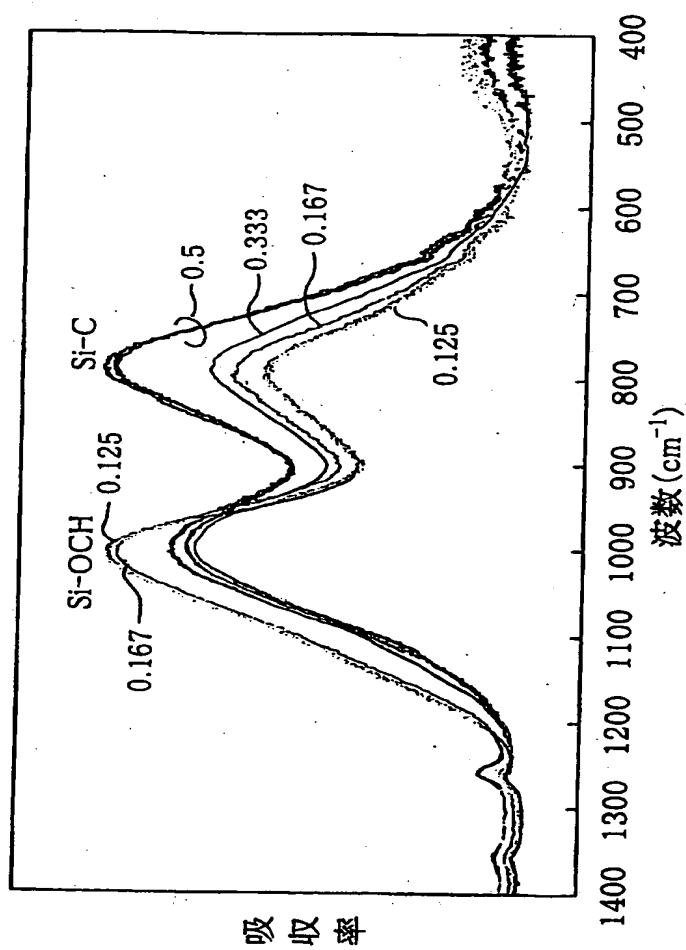
第4の実施例(その3)



【図10】

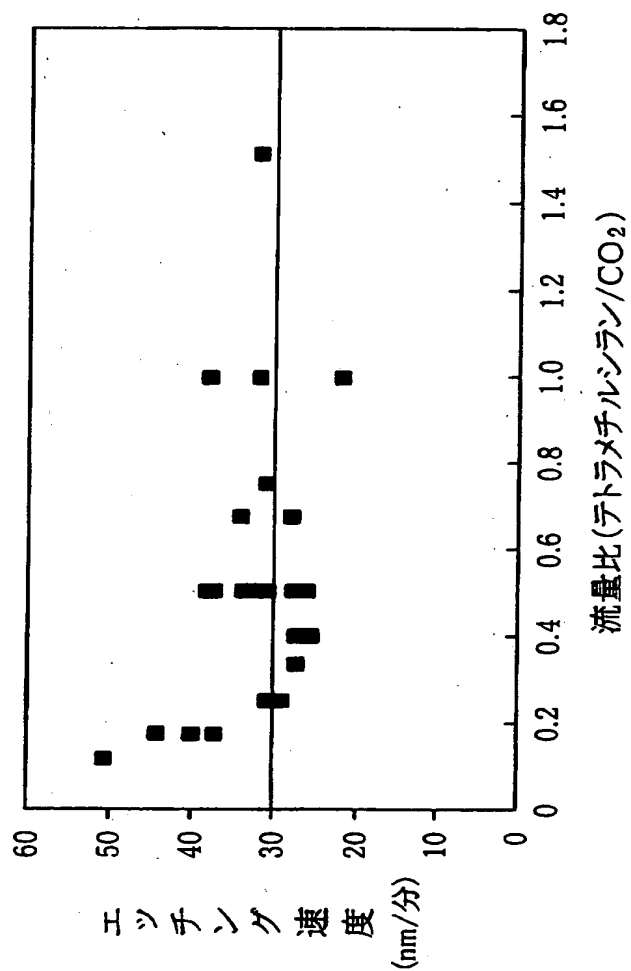


【図11】

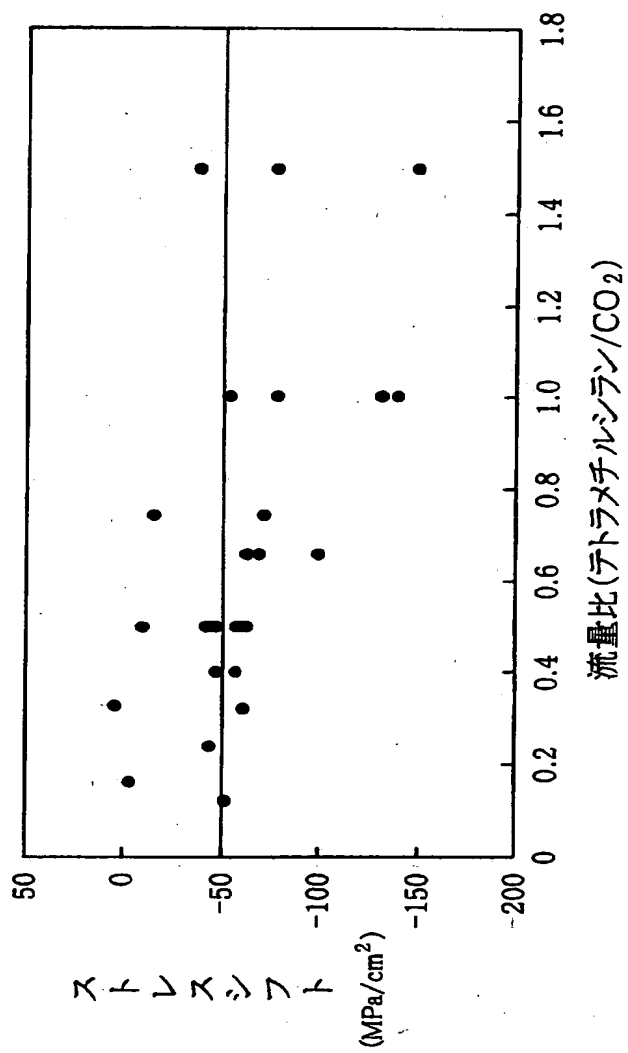




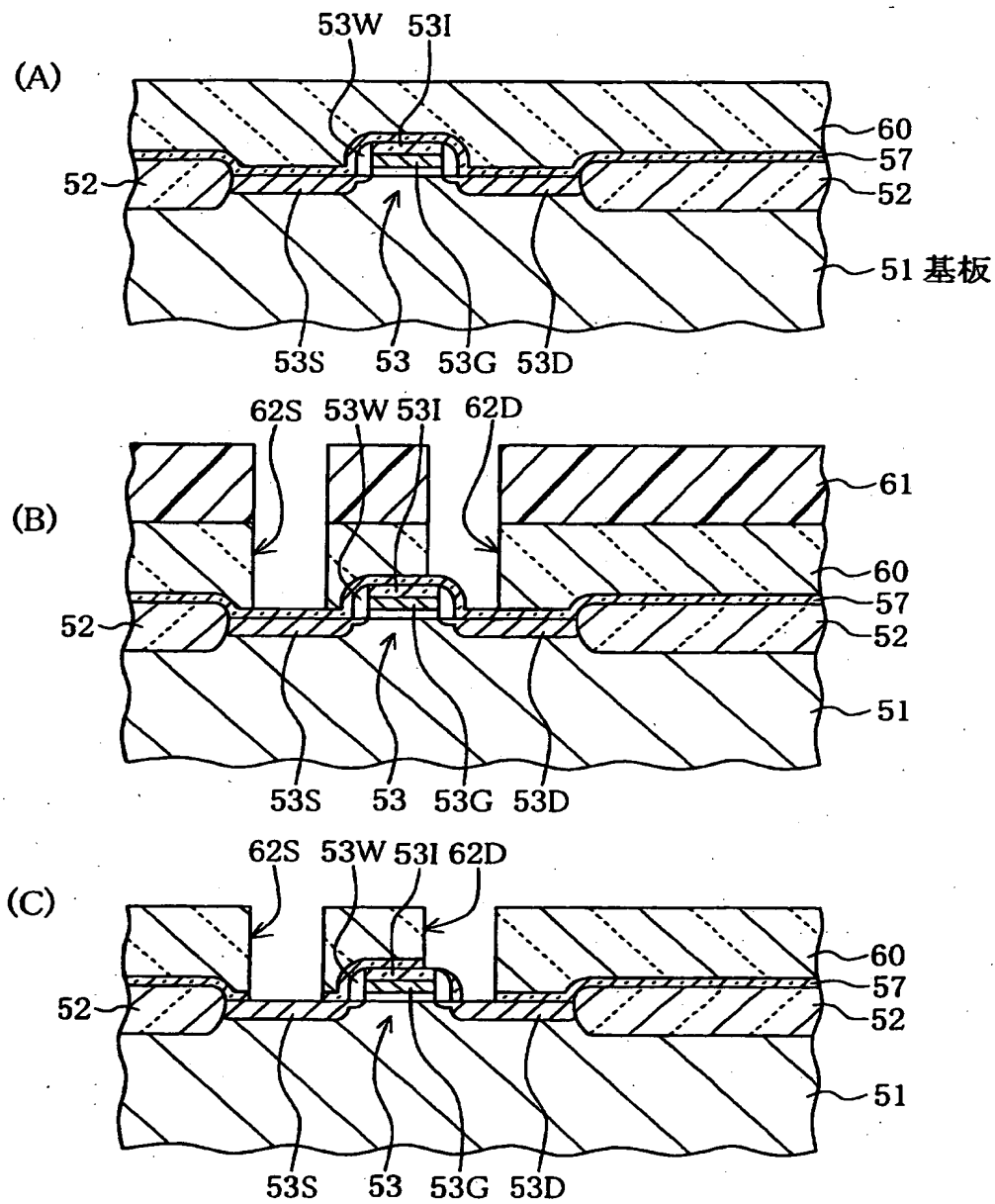
【図12】



【図 13】



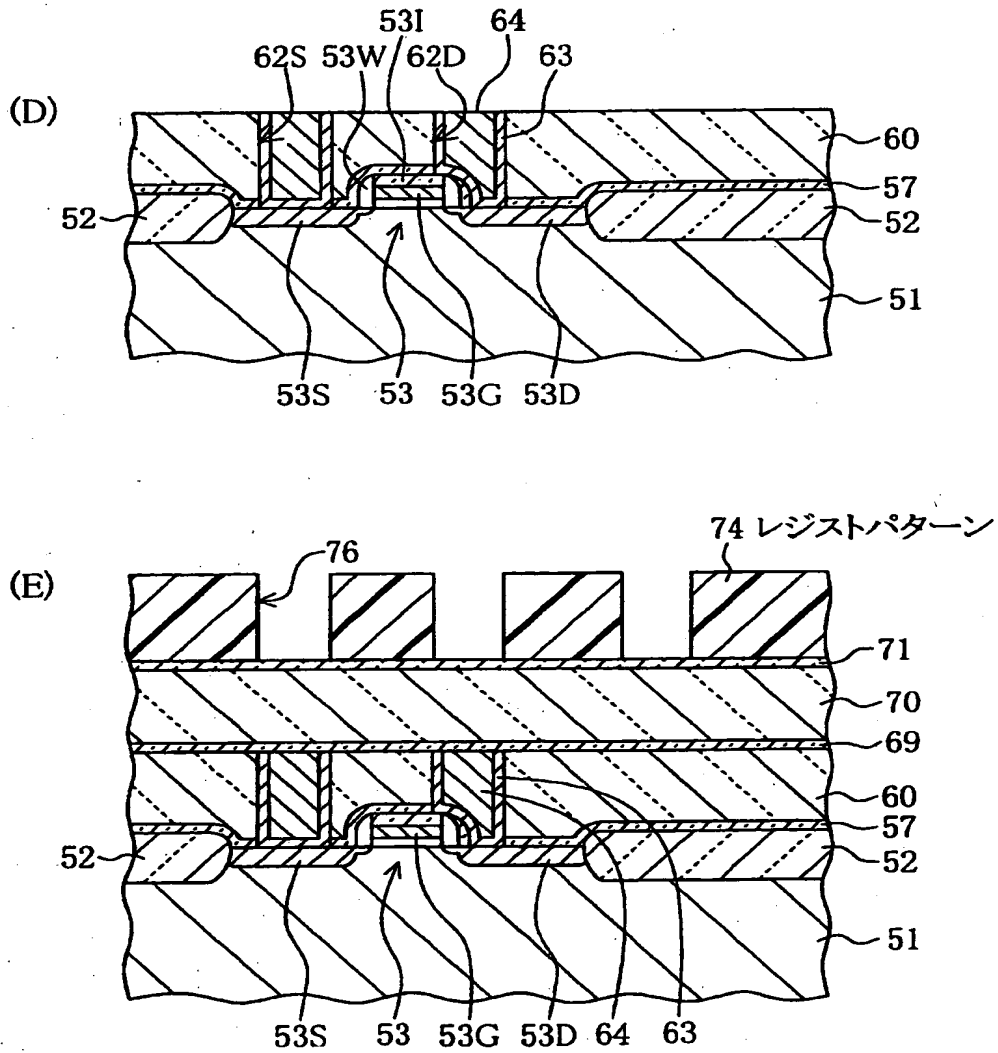
【図 1 4】



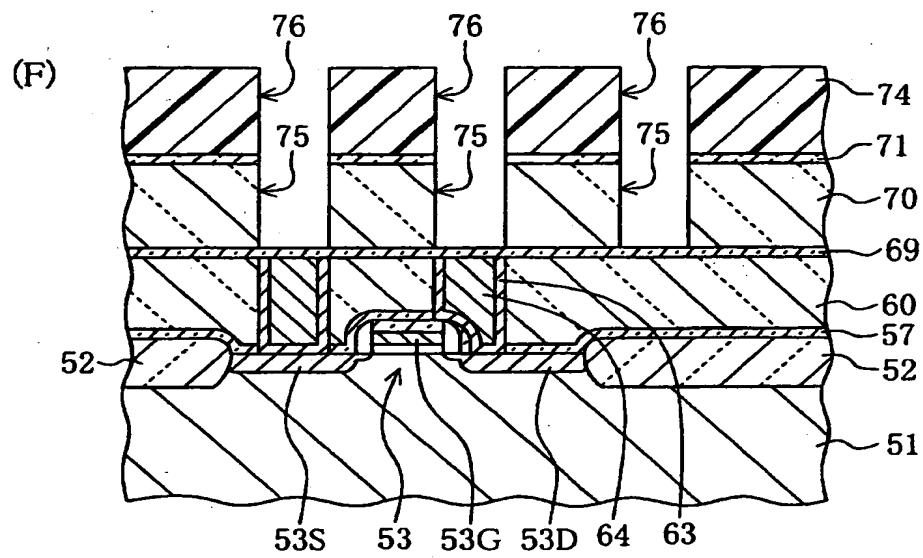
52: 素子分離絶縁領域  
53: MOSFET

70: 第1層目配線層絶縁膜  
71: キャップ膜

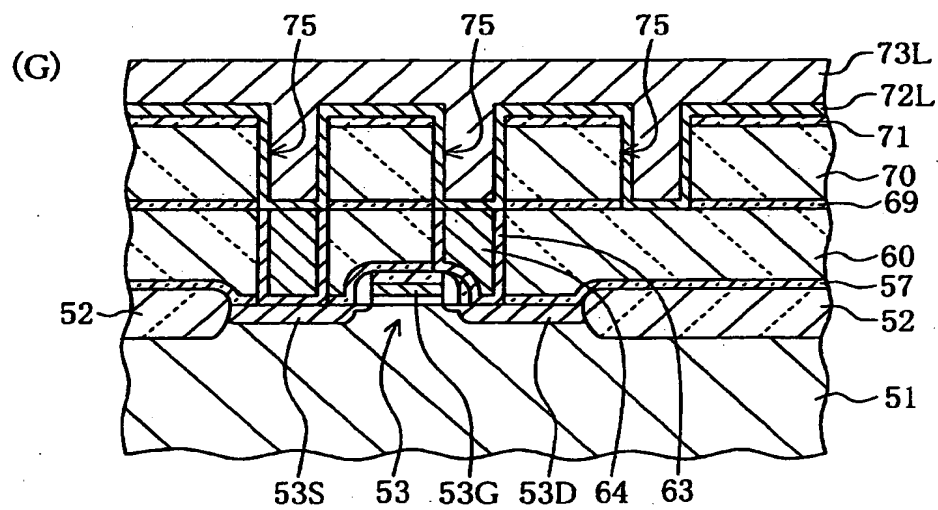
【図15】



【図 16】



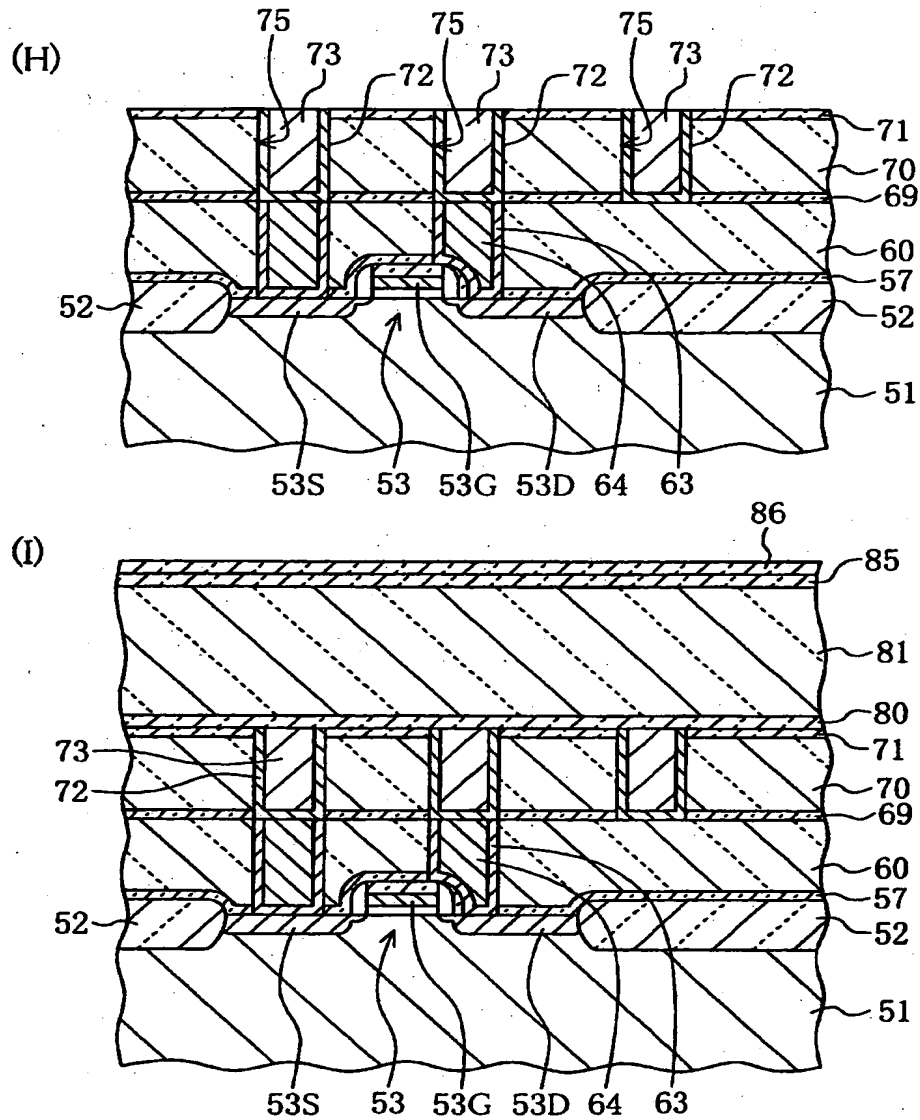
75: 配線溝



72L: バリアメタル層

73L: 導電層

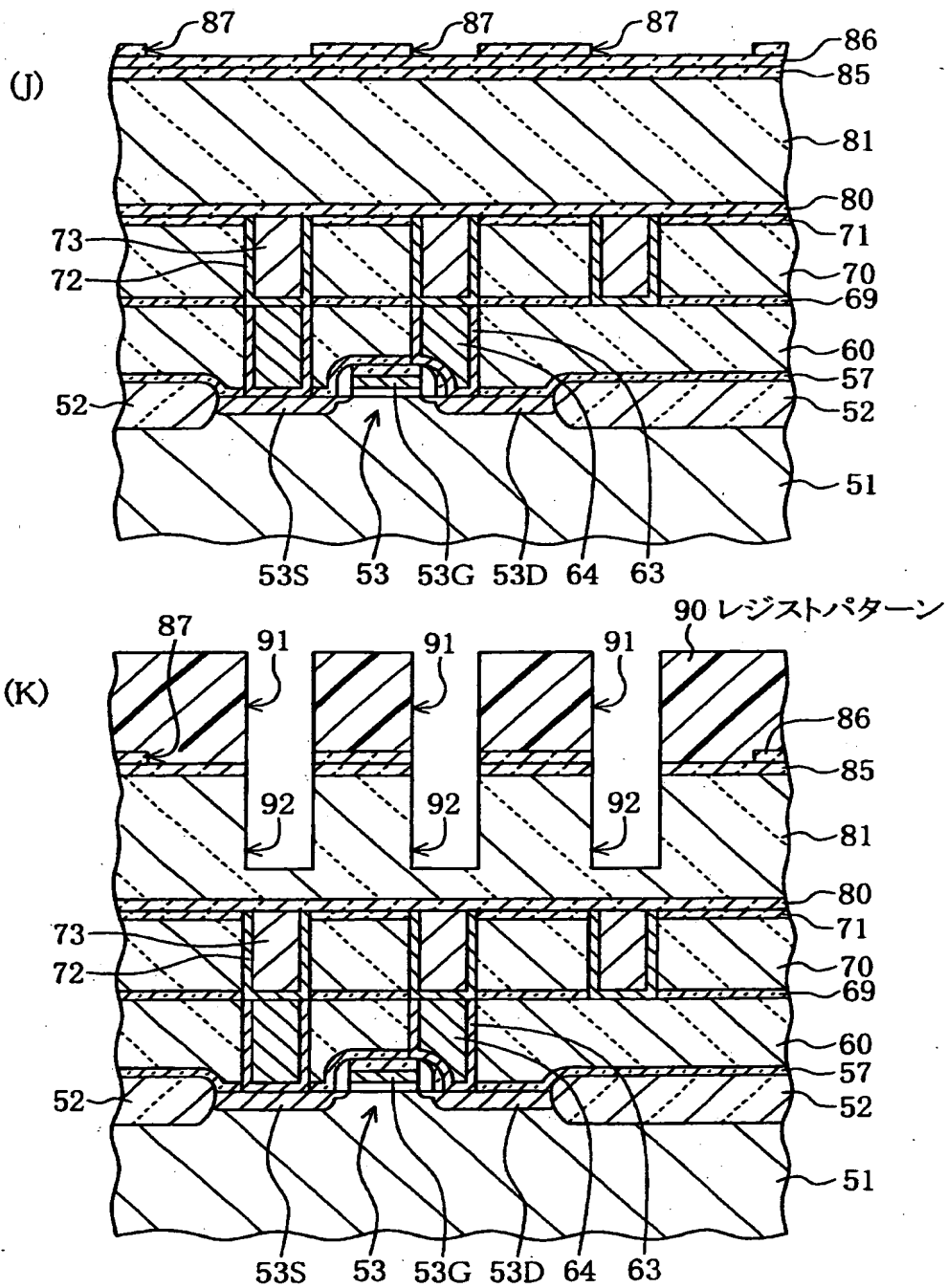
【図 17】



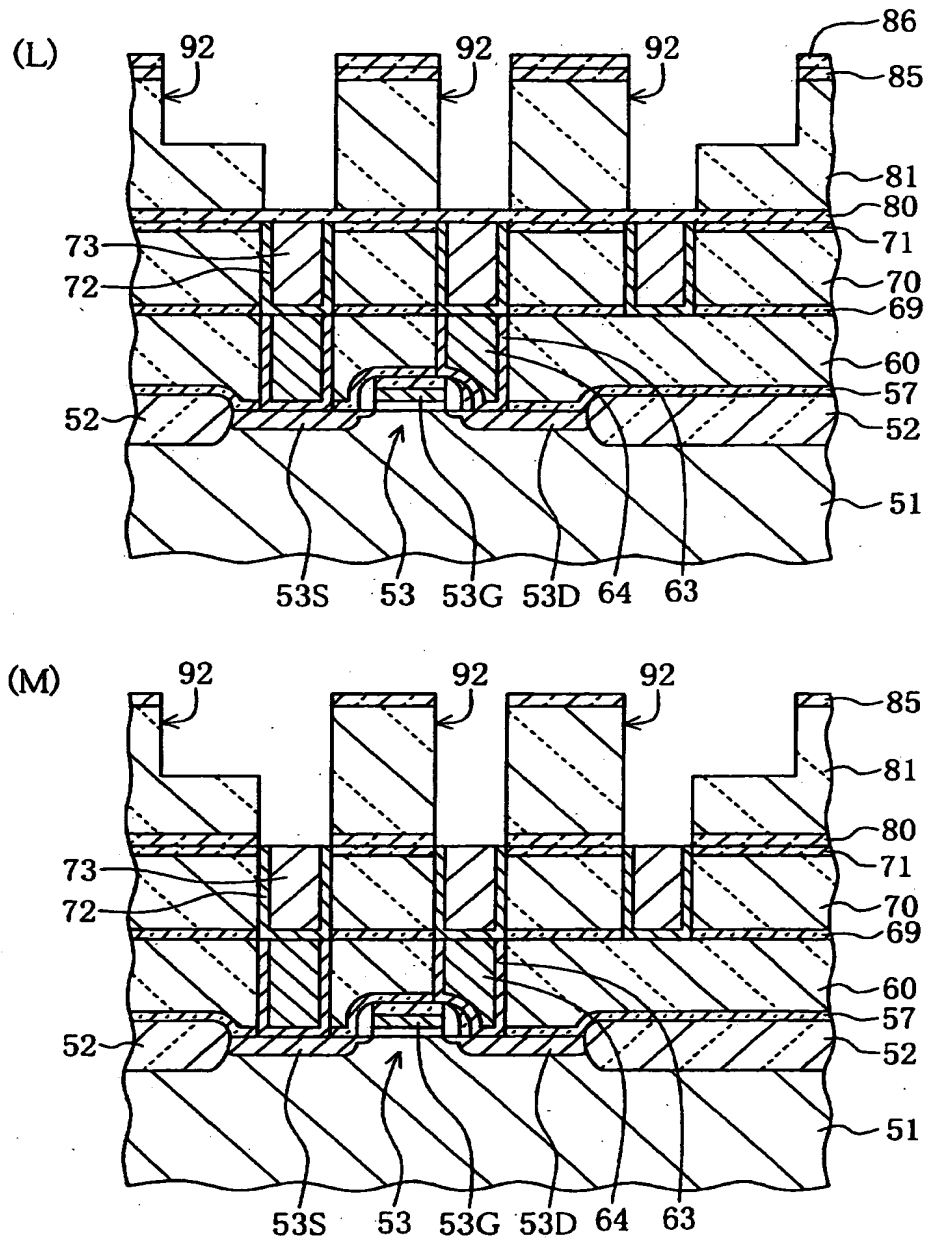
80: 拡散バリア膜  
81: ビア層絶縁膜

85: キャップ膜  
86: ハードマスク

【図18】

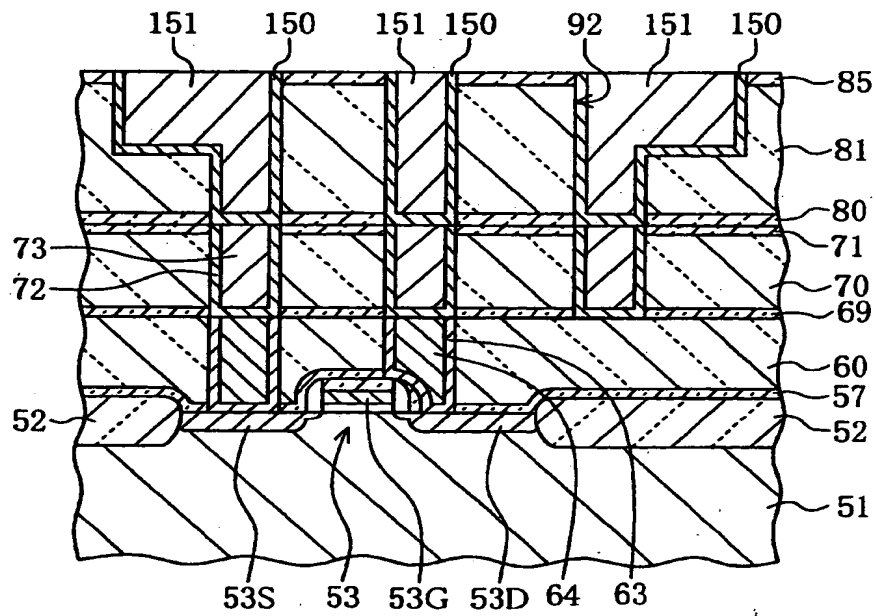


【図19】





【図 20】



【書類名】 要約書

【要約】

【課題】 エッチングストッパ膜やハードマスクの材料としてSiCを用いた場合に、このエッチングストッパ膜やハードマスクを容易に除去することが可能なエッチング方法を用いた半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に、シリコンカーバイドとはエッチング耐性の異なる材料からなる第1の膜を形成する。第1の膜の上に、水素を含有するシリコンカーバイドからなる第2の膜を形成する。第2の膜の上に、開口を有するレジスト膜を形成する。フロロカーボンガスに、 $\text{SF}_6$ 及び $\text{NF}_3$ の少なくとも一方のガスを加えた混合ガスを用い、レジスト膜をマスクとして、第2の膜をドライエッチングする。第2の膜をマスクとして、第1の膜をエッチングする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社